

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

|  |   |                        |             |
|--|---|------------------------|-------------|
|  |   | Application Number     | 10/708,103  |
|  |   | Filing Date            | 02/10/2004  |
|  |   | First Named Inventor   | Jacky Tsai  |
|  |   | Art Unit               |             |
|  |   | Examiner Name          |             |
| Total Number of Pages in This Submission | 3 | Attorney Docket Number | VIAP0083USA |

### ENCLOSURES (Check all that apply)

|  |  |   |
|--|--|---|
| <input checked="" type="checkbox"/> Fee Transmittal Form                     | <input type="checkbox"/> Drawing(s)  | <input type="checkbox"/> After Allowance communication to Technology Center (TC)        |
| <input type="checkbox"/> Fee Attached  | <input type="checkbox"/> Licensing-related Papers                                | <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences     |
| <input type="checkbox"/> Amendment/Reply                                     | <input type="checkbox"/> Petition  | <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) |
| <input type="checkbox"/> After Final   | <input type="checkbox"/> Petition to Convert to a Provisional Application        | <input type="checkbox"/> Proprietary Information  |
| <input type="checkbox"/> Affidavits/declaration(s)                           | <input type="checkbox"/> Power of Attorney, Revocation                           | <input type="checkbox"/> Status Letter  |
| <input type="checkbox"/> Extension of Time Request                           | <input type="checkbox"/> Change of Correspondence Address                        | <input type="checkbox"/> Other Enclosure(s) (please Identify below):                    |
| <input type="checkbox"/> Express Abandonment Request                         | <input type="checkbox"/> Terminal Disclaimer                                     |   |
| <input type="checkbox"/> Information Disclosure Statement                    | <input type="checkbox"/> Request for Refund                                      |   |
| <input checked="" type="checkbox"/> Certified Copy of Priority Documents(s)  | <input type="checkbox"/> CD, Number of CD(s) _____                               |   |
| <input type="checkbox"/> Response to Missing Parts/ Incomplete Application   | <b>Remarks</b>   |   |
| <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | Response to the office action has been sent to the examiner by fax on 12/04/2003 |   |

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

|                         |                               |
|-------------------------|-------------------------------|
| Firm or Individual name | Winston Hsu, Reg. No.: 41,526 |
| Signature               |                               |
| Date                    | 3/12/2004                     |

### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

|                       |  |      |
|-----------------------|--|------|
| Typed or printed name |  |      |
| Signature             |  | Date |

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

## Complete if Known

|                      |             |
|----------------------|-------------|
| Application Number   | 10/708,103  |
| Filing Date          | 02/10/2004  |
| First Named Inventor | Jacky Tsai  |
| Examiner Name        |             |
| Art Unit             |             |
| Attorney Docket No.  | VIAP0083USA |

## METHOD OF PAYMENT (check all that apply)

 Check  Credit card  Money Order  Other  None
 Deposit Account:

Deposit Account Number 50-0801  
 Deposit Account Name North America International Patent Office

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below  Credit any overpayments  
 Charge any additional fee(s) or any underpayment of fee(s)  
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

## 1. BASIC FILING FEE

| Large Entity Fee Code (\$) | Small Entity Fee Code (\$) | Fee Description        | Fee Paid |
|----------------------------|----------------------------|------------------------|----------|
| 1001 770                   | 2001 385                   | Utility filing fee     |          |
| 1002 340                   | 2002 170                   | Design filing fee      |          |
| 1003 530                   | 2003 265                   | Plant filing fee       |          |
| 1004 770                   | 2004 385                   | Reissue filing fee     |          |
| 1005 160                   | 2005 80                    | Provisional filing fee |          |
| SUBTOTAL (1)               |                            | (\$ 0.00)              |          |

## 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

| Total Claims | Independent Claims | Multiple Dependent | Extra Claims | Fee from below | Fee Paid |
|--------------|--------------------|--------------------|--------------|----------------|----------|
|              |                    |                    | -20** =      | X              | =        |
|              |                    |                    | - 3** =      | X              | =        |

| Large Entity Fee Code (\$) | Small Entity Fee Code (\$) | Fee Description  |
|----------------------------|----------------------------|--|
| 1202 18                    | 2202 9                     | Claims in excess of 20                                     |
| 1201 86                    | 2201 43                    | Independent claims in excess of 3                          |
| 1203 290                   | 2203 145                   | Multiple dependent claim, if not paid                      |
| 1204 86                    | 2204 43                    | ** Reissue independent claims over original patent         |
| 1205 18                    | 2205 9                     | ** Reissue claims in excess of 20 and over original patent |
| SUBTOTAL (2)               |                            | (\$ 0.00)  |

\*\*or number previously paid, if greater; For Reissues, see above

## 3. ADDITIONAL FEES

| Large Entity                      | Small Entity  | Fee Description  | Fee Paid |
|-----------------------------------|---------------|--|----------|
| Fee Code (\$)                     | Fee Code (\$) |  |          |
| 1051 130                          | 2051 65       | Surcharge - late filing fee or oath  |          |
| 1052 50                           | 2052 25       | Surcharge - late provisional filing fee or cover sheet                     |          |
| 1053 130                          | 1053 130      | Non-English specification  |          |
| 1812 2,520                        | 1812 2,520    | For filing a request for ex parte reexamination                            |          |
| 1804 920*                         | 1804 920*     | Requesting publication of SIR prior to Examiner action                     |          |
| 1805 1,840*                       | 1805 1,840*   | Requesting publication of SIR after Examiner action                        |          |
| 1251 110                          | 2251 55       | Extension for reply within first month                                     |          |
| 1252 420                          | 2252 210      | Extension for reply within second month                                    |          |
| 1253 950                          | 2253 475      | Extension for reply within third month                                     |          |
| 1254 1,480                        | 2254 740      | Extension for reply within fourth month                                    |          |
| 1255 2,010                        | 2255 1,005    | Extension for reply within fifth month                                     |          |
| 1401 330                          | 2401 165      | Notice of Appeal   |          |
| 1402 330                          | 2402 165      | Filing a brief in support of an appeal                                     |          |
| 1403 290                          | 2403 145      | Request for oral hearing   |          |
| 1451 1,510                        | 1451 1,510    | Petition to institute a public use proceeding                              |          |
| 1452 110                          | 2452 55       | Petition to revive - unavoidable   |          |
| 1453 1,330                        | 2453 665      | Petition to revive - unintentional   |          |
| 1501 1,330                        | 2501 665      | Utility issue fee (or reissue)   |          |
| 1502 480                          | 2502 240      | Design issue fee   |          |
| 1503 640                          | 2503 320      | Plant issue fee  |          |
| 1460 130                          | 1460 130      | Petitions to the Commissioner  |          |
| 1807 50                           | 1807 50       | Processing fee under 37 CFR 1.17(q)  |          |
| 1806 180                          | 1806 180      | Submission of Information Disclosure Stmt                                  |          |
| 8021 40                           | 8021 40       | Recording each patent assignment per property (times number of properties) |          |
| 1809 770                          | 2809 385      | Filing a submission after final rejection (37 CFR 1.129(a))                |          |
| 1810 770                          | 2810 385      | For each additional invention to be examined (37 CFR 1.129(b))             |          |
| 1801 770                          | 2801 385      | Request for Continued Examination (RCE)                                    |          |
| 1802 900                          | 1802 900      | Request for expedited examination of a design application                  |          |
| Other fee (specify)               |               |  |          |
| *Reduced by Basic Filing Fee Paid |               |  |          |
| SUBTOTAL (3)                      |               | (\$ 0.00)  |          |

(Complete if applicable)

| Name (Print/Type) | Winston Hsu        | Registration No. (Attorney/Agent) | 41,526 | Telephone | 886289237350 |
|-------------------|--------------------|-----------------------------------|--------|-----------|--------------|
| Signature         | <i>Winston Hsu</i> |                                   |        |           |              |
| Date              | <i>3/12/2004</i>   |                                   |        |           |              |

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

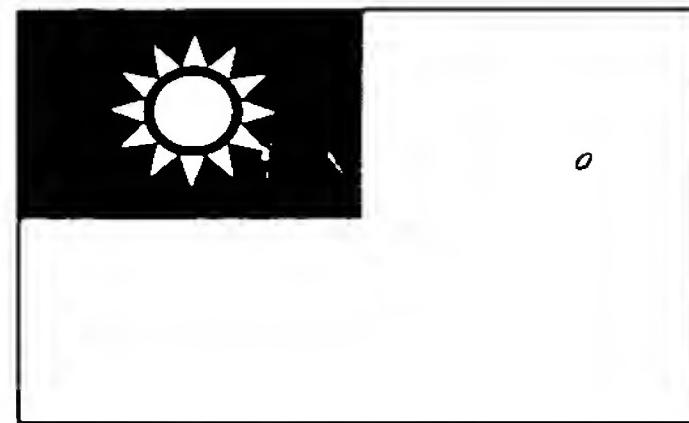
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Notwithstanding any other provision of law, no person may be compelled to furnish information contained in this form or any part thereof to the U.S. Patent and Trademark Office or to any other agency of the U.S. Government, except under the provisions of Title 35, United States Code, Section 111, or Title 37, United States Code, Section 111.

~~Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.~~

# **DECLARATION -- Supplemental Priority Data Sheet**

#### **Additional foreign applications:**

**Burden Hour Statement:** This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



VIA-83

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 02 月 21 日  
Application Date

申 請 案 號：092103723  
Application No.

申 請 人：威盛電子股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生



發文日期：西元 2003 年 4 月 10 日  
Issue Date

發文字號：09220356490  
Serial No.

申請日期：

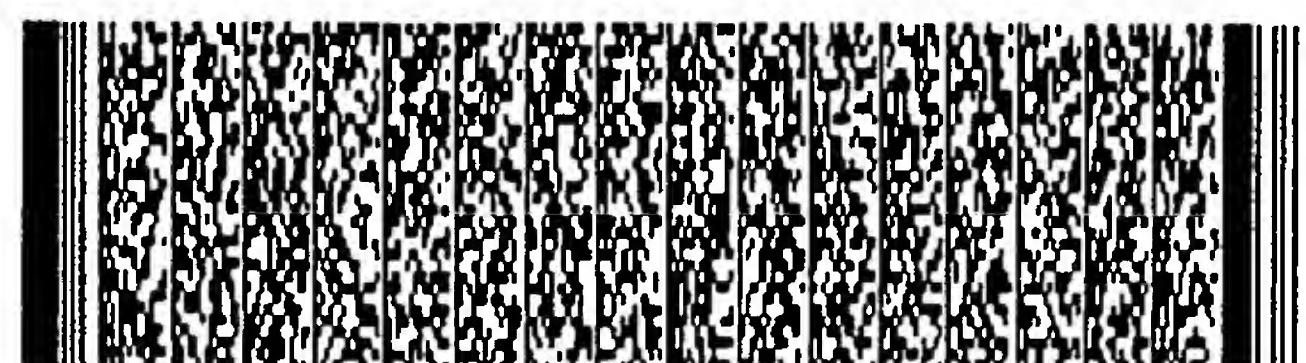
IPC分類

申請案號：

(以上各欄由本局填註)

## 發明專利說明書

|                        |                       |  |
|------------------------|-----------------------|--|
| 一<br>、<br>發明名稱         | 中 文                   | 以位元模式比對進行之記憶體位址解碼方法及相關裝置   |
|                        | 英 文                   | Memory Address Decoding Method And Related Apparatus By Bit-Pattern Matching     |
| 二<br>、<br>發明人<br>(共1人) | 姓 名<br>(中文)           | 1. 蔡日興   |
|                        | 姓 名<br>(英文)           | 1. Tsai, Jacky   |
|                        | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                        | 住居所<br>(中 文)          | 1. 台北縣新店市中正路五三三號八樓   |
|                        | 住居所<br>(英 文)          | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan,<br>R.O.C. |
| 三<br>、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中文)    | 1. 威盛電子股份有限公司  |
|                        | 名稱或<br>姓 名<br>(英文)    | 1. VIA TECHNOLOGIES, INC.  |
|                        | 國 籍<br>(中英文)          | 1. 中華民國 TW   |
|                        | 住居所<br>(營業所)<br>(中 文) | 1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)   |
|                        | 住居所<br>(營業所)<br>(英 文) | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan,<br>R.O.C. |
| 代表人<br>(中文)            | 1. 王雪紅                |  |
| 代表人<br>(英文)            | 1. Wang, Hsueh-Hung   |  |



四、中文發明摘要 (發明名稱：以位元模式比對進行之記憶體位址解碼方法及相關裝置)

本發明係提供一種記憶體位址解碼的方法及相關裝置，以判斷一給定位址位於該記憶體中的哪一個區段。該記憶裝置中設有複數個區段，各區段中設有複數個記憶單元，而每一記憶單元分別具有一對應的位址。而該方法係比對該給定位址中部分位元是否符合任一位元模組，以判斷該給定位址屬於該記憶體中的哪一個區段。

五、(一)本發明之代表圖為圖六B。

(二)本發明代表圖之圖式符號說明：

|                                    |      |     |      |
|------------------------------------|------|-----|------|
| 78                                 | 控制電路 | 100 | 邏輯模組 |
| 101                                | 存取模組 | 102 | 解碼結果 |
| 96A、97A-97B、98A-98C、99A-99D        |      |     | 位元模式 |
| 106A、108A-108B、110A-110C、112A-112D |      |     | 比較單元 |
| 111A-111D                          | 比較模組 |     |      |

六、英文發明摘要 (發明名稱：Memory Address Decoding Method And Related Apparatus By Bit-Pattern Matching)

An address decoding method and related apparatus for deciding which section a given address belongs in a memory device. The memory device has a plurality of sections, each section has a plurality of memory units, and each memory unit has a unique address. The method includes: comparing if some specific bits of the given address match predetermined values for deciding

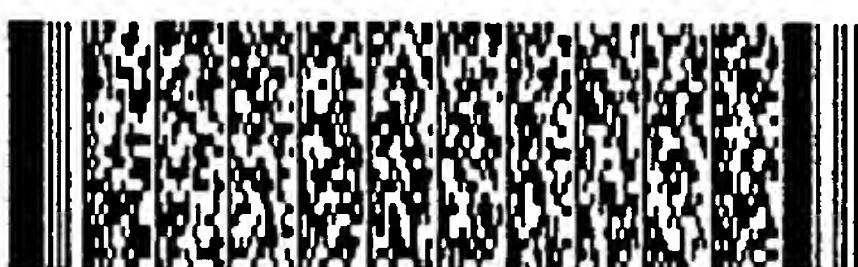


四、中文發明摘要 (發明名稱：以位元模式比對進行之記憶體位址解碼方法及相關裝置)

114A-114C 或運算模組  
116 模式計算模組

六、英文發明摘要 (發明名稱：Memory Address Decoding Method And Related Apparatus By Bit-Pattern Matching)

which section the given address belongs.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

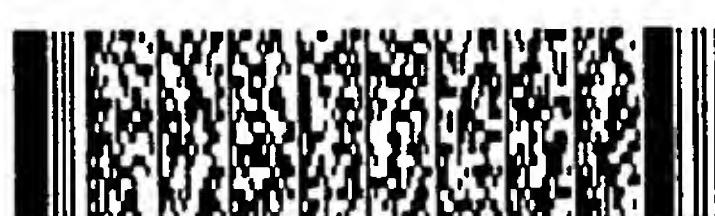
寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明（1）

## 發明之技術領域：

本發明係提供一種記憶裝置位址解碼的方法及相關裝置，尤指一種以位元模式比對方式快速進行位址解碼的方法及相關裝置。

## 先前技術：

資料為現資料機存完速  
在現代化的社會中，能快速處理、管理系統，已成各數位。  
資料訊種的運於記作記憶種各樣，也就影響了微處理裝置的效能，發地存取重點之  
在文件、數據及基礎配備之一。一般系統會設置暫微執行系統，為了實現資料機存完速  
文會雜憶期憶裝間裝置所置中的程式、數據，就能處理機整體記憶存容量高的一  
複記作記憶種各樣的功能。因此，微處理裝置的有效性地存取重點之  
於成度率。尤其處理機能在現代系統研發商廠的重點之  
何使，也成為現代資訊產業的發展重點之一。

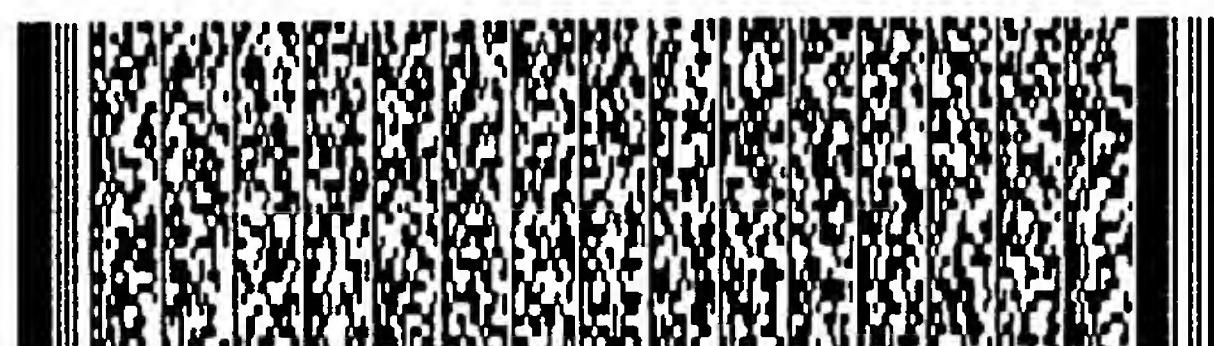
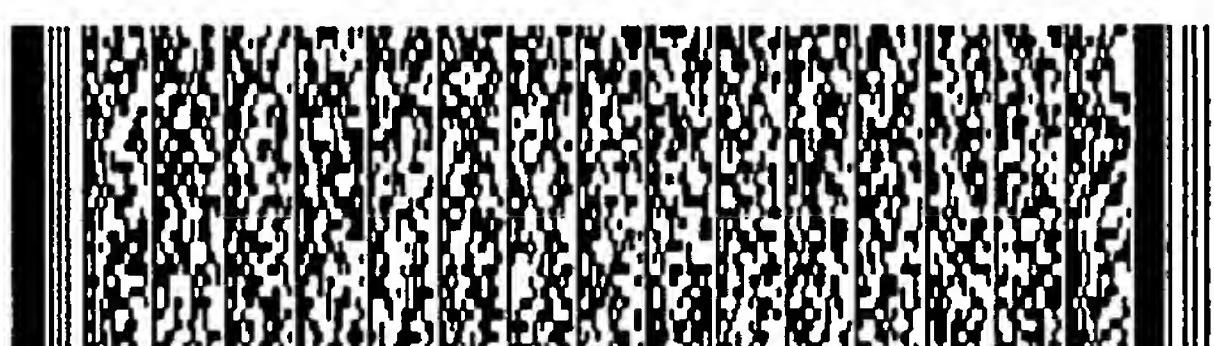
請參考圖一。圖一為一典型電腦 10 的功能方塊示意圖。電腦 10 做為一微處理機系統，其中設有一中央處理器 12、一晶片組 14、一記憶裝置 16、一顯示卡 18、一顯



## 五、發明說明 (2)

示器 20、一周邊裝置 22 及一基本輸出入系統 24。中央處理器 12 用來處理數據、資料，以主控電腦 10 的運作；記憶裝置 16 即用來以揮發性的方式暫存中央處理器 12 運作期間所需的程式、數據。顯示卡 18 用來處理影像訊號，以操控顯示器 20，將電腦 10 運作的情形顯示為影像畫面；周邊裝置 22 則可包括鍵盤、滑鼠等人機介面、用來以非揮發性方式儲存資料的硬碟機、光碟機、用來使電腦 10 連接於網路的網路卡或是處理聲音訊號的音效卡等等。基本輸出入系統 (BIOS, basic input/output system) 24 則用來儲存電腦 10 開機時一些基本檢查程序進行的設定及程式碼等等。而晶片組 14 即用來管理中央處理器 12 與記憶裝置 16、顯示卡 18、周邊裝置 22、基本輸出入系統 24 間的資料往來傳輸。晶片組 14 中可設有北橋電路 26A 及南橋電路 26B；北橋電路 26A 用來管理中央處理器 12 與記憶裝置 16、顯示卡 18 間較高速的資料傳輸，南橋電路 26B 則用來管理中央處理器 12 與周邊裝置 22、基本輸出入系統 24 間較低速的資料傳輸。為了管理對記憶裝置 16 的存取，北橋電路 26A 中還設有一控制電路 28。

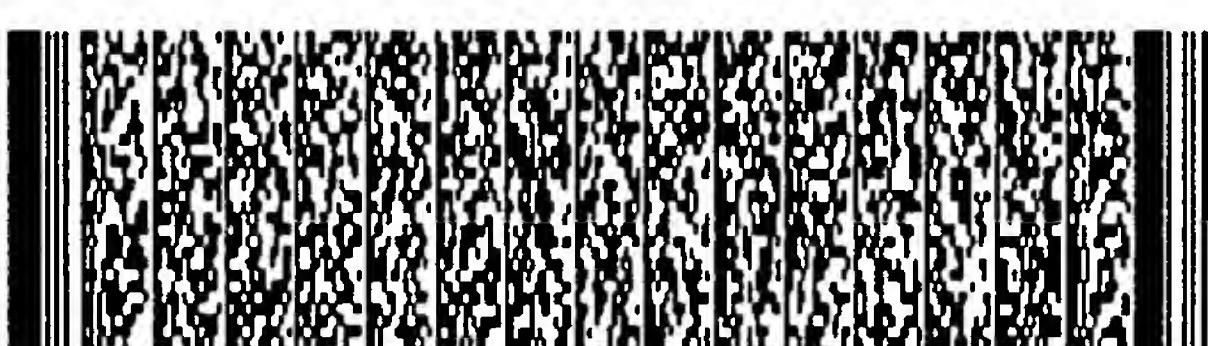
在現代的電腦架構下，記憶裝置 16 通常由數個記憶模組共同組成，像圖一中就繪出了四個記憶模組 30A 至 30D 作為代表。每個記憶模組 30A 至 30D 中各包含有複數個記憶單元 34，各記憶單元 34 用來記錄一位元 (bit) 的數位資料；集合所有記憶模組 30A 至 30D 中所有的記憶單元



## 五、發明說明 (3)

34，就是記憶裝置 16總共能提供的記憶容量。在現行技術下，記憶模組多半被實做成獨立的電路，可透過電腦 10中的插槽連接於電腦 10以形成記憶裝置 16；不同的記憶模組可具有不同數量的記憶單元（也就是說，各記憶模組可具有不同的記憶容量），使用者可依需要選購不同容量的記憶模組，形成記憶裝置 16。一般來說，記憶模組中的記憶單元會分佈於兩個直列 (rank) 記憶陣列；舉例來說，像圖一中所示，記憶模組 30A即具有兩直列記憶陣列 32A、32B。而控制電路 28則會分別以一控制訊號來控制對一直列記憶陣列的資料存取。就如圖一中所示：控制訊號 CSp0、CSp1即分別對應記憶模組 30A中的兩個直列記憶陣列 32A、32B；控制訊號 CSp2至 CSp7則分別對應於記憶模組 30B、30C及 30D的直列記憶陣列。

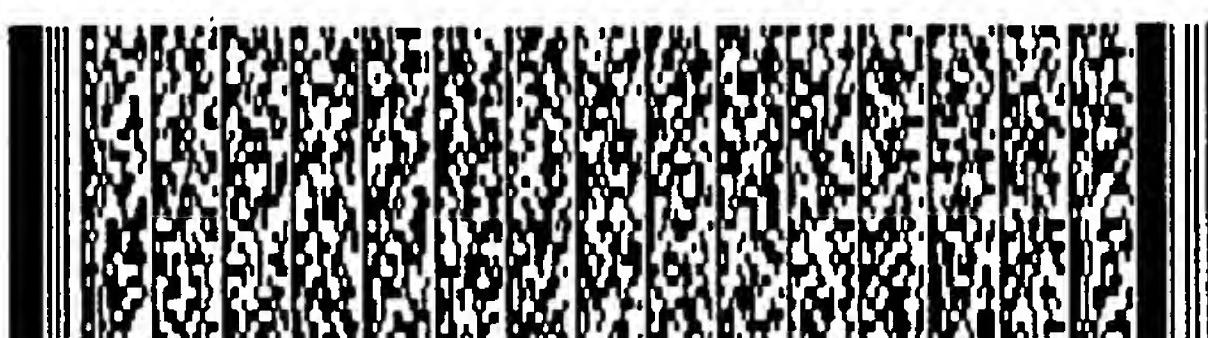
一般來說，記憶裝置 16都能支援隨機存取 (random access)的功能，也就是能任意存取記憶裝置 16中任何一個記憶單元 34中的資料；為了管理對記憶裝置 16中各記憶單元 34之隨機存取，記憶裝置 16中的各記憶單元 34會被指派 (assign)到一個獨一無二的位址。當中央處理器 12要存取記憶裝置 16中某一特定記憶單元 34的資料時，中央處理器 12就可向控制電路 28提示該特定記憶單元 34的位址，由控制電路 28依據該位址解碼出該特定記憶單元 34實際所在的記憶模組，以實際對該特定記憶單元 34進行資料存取。也就是說，當控制電路 28接收到對應一



## 五、發明說明 (4)

特定記憶單元的給定位址（像是由中央處理器 12 指定的）時，控制電路 28 就要解碼出該給定位址所在的記憶模組，甚至是該給定位址所在的直列記憶陣列，再以該直列記憶陣列對應之控制訊號去觸發該直列記憶陣列，以配合該特定記憶單元所在的記憶模組，存取到該特定記憶單元的資料（通常每個記憶模組中會有自己的位址解碼電路，可進一步解碼出該給定位址對應的特定記憶單元）。

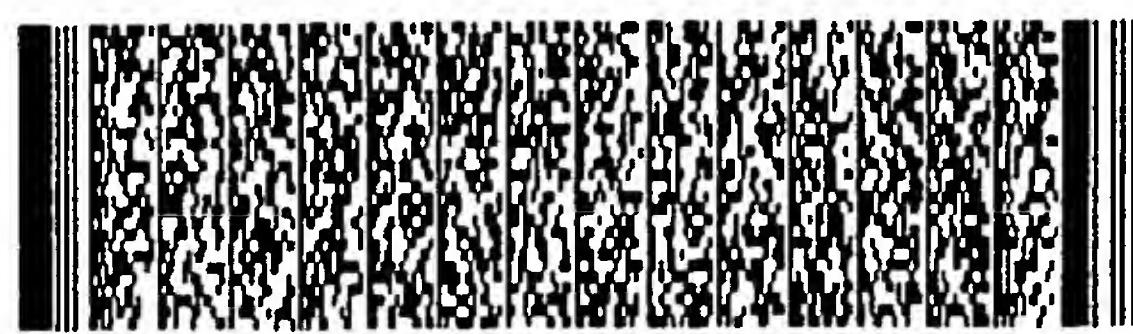
關於記憶裝置 16 中各記憶單元位址指派的情形，請參考圖二（並一併參考圖一）。圖二即為記憶裝置 16 中各記憶單元位址指派的示意圖。如圖二所示，假設記憶模組 30A 至 30D 分別具有  $2^{25}$  (二的二十五次方)、 $2^{27}$ 、 $2^{28}$  以及  $2^{26}$  個記憶單元，也就是說，記憶模組 30A 至 30D 的記憶容量分別為 32 百萬位元、128 百萬位元、256 百萬位元以及 64 百萬位元。這裡的一百萬位元 (Megabit) 也就代表有  $2^{20}$  個位元，也就是  $2^{20}$  個各儲存一位元的記憶單元。當電腦開機後，控制電路 28 就會將數值線性遞增的位址，依序分配給記憶模組 30A 至 30D 中的每個記憶單元。當然，在數位電路中，二進位是最基本的數值表示方式，各記憶單元的對應位址也以二進位來表示。舉例來說，如圖二中所示，各記憶單元的對應位址皆以二進位下的 32 個位元來表示，以第 0 位元為最不重要的位元，第 31 位元為最重要的位元。在位址指派



## 五、發明說明 (5)

後，記憶模組 30A中的第一個記憶單元會被指派為位址 36A，其值為二進位的「000…0」，也就是所有的位元皆為「0」。接下來的各個記憶單元之對應位址就會依序遞增，像是第二個記憶單元之位址為 36B，其值為「00…01」（僅第 0位元為「1」），第三個記憶單元之位址為 36C，其值繼續遞增 1而變成為「0…010」（僅第 1位元為「1」），以此類推。到了記憶模組 30A中的倒數第二個記憶單元（也就是第  $(2^{25}-1)$  個記憶單元），其對應位址 36D之值就會遞增至二進位的「0…01…10」（由第 1至第 24位元為「1」，餘為「0」）；而記憶模組 30A中最後一固記憶單元（也就是第  $2^{25}$  個記憶單元），其對應位址 36E也再遞增 1而成為「0…01…1」（第 0至第 24位元為「1」，餘為「0」）。

控制電路 28在指派位址時，會將記憶裝置 16中所有記憶模組的所有記憶單元視為一整體；所以當控制電路 28在將位址指派至記憶模組 30B時，其位址之值會由位址 36E（也就是記憶模組 30A最後一個記憶單元對應之位址）繼續遞增。如圖二中所示，記憶模組 30B中第一個記憶單元會被對應至位址 38A，其值會由位址 36E之值遞增 1，而成為二進位的「0…010…0」（僅第 25位元為「1」），代表這個記憶單元會被視為記憶裝置 16中的第  $(2^{25}+1)$  個記憶單元，也就是由記憶模組 30A第一個記憶單元算來的第  $(2^{25}+1)$  個記憶單元。同理，記憶模組 30B



## 五、發明說明 (6)

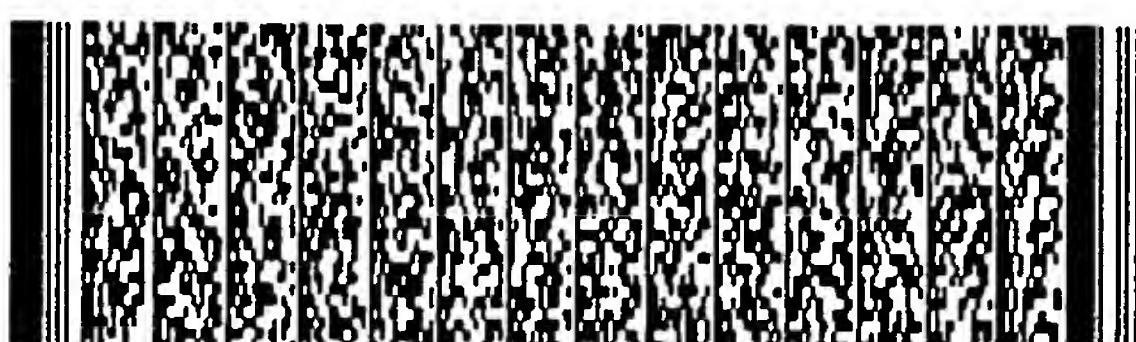
中第二個記憶單元會被視為記憶裝置 16 中的第  $(2^{25} + 2)$  個記憶單元，其對應位址 38B 之值再由位址 38A 遞增 1，成為二進位的「0…010…01」（僅第 0 及第 25 位元為「1」）。由於記憶模組 30B 中有  $2^{27}$  個記憶單元，所以到了記憶模組 30B 中的最後兩個記憶單元，就分別成為記憶裝置 16 中第  $(2^{25} + 2^{27} - 1)$  及第  $(2^{25} + 2^{27})$  個記憶單元，其對應的位址 38C、38D 分別遞增至二進位的「0…01001…10」（第 1 至第 24 位元、第 27 位元為「1」，餘為「0」）及「0…01001…1」（第 0 至第 24 位元、第 27 位元為「1」，餘為「0」）。

依照上述的原則類推，到了記憶模組 30C（也就是第三個記憶模組），其第一個記憶單元之對應位址 42A 會由位址 38D 之值遞增 1，成為二進位的「0…01010…0」（僅第 25 及第 27 位元為「1」），也代表此一記憶單元為記憶裝置 16 中，由位址 36A 之記憶單元數來的第  $(2^{25} + 2^{27} + 1)$  個記憶單元。而記憶模組 30C 中的第  $2^{28}$  個（也就是記憶模組 30C 中的最後一個記憶單元），其對應之位址 42B 就遞增至二進位的「0…011001…1」（第 0 至第 24、第 27、第 28 位元為「1」，餘位元為「0」），代表其為位址 36A 依序遞增以來第  $(2^{25} + 2^{27} + 2^{28})$  個位址。同理，到了第四個記憶模組 30D，其第一個記憶單元對應之位址 44A 即繼續由位址 42B 遞增 1，成為二進位的「0…011010…0」（第 25、第 27 及第 28 位元為「1」），



## 五、發明說明 (7)

而記憶模組 30D最後一個記憶單元之位址，也就繼續遞增至「0…011101…1」（第 26至第 28、第 0至第 24位元為「1」，餘位元為「0」）；代表其為位址 36A以來，第  $(2^{25}+2^{27}+2^{28}+2^{26})$  個位址。在位址指派後，由各記憶模組中第一個位址（也就是第一個記憶單元對應之位址）及最後一個位址，就可針對每一記憶模組訂出一結尾 (ending) 位址。如圖二所示，由於記憶模組 30A 中分配到的所有位址均小於記憶模組 30B 中的第一個位址 38A，故位址 38A 可視為記憶模組 30A 對應之結尾位址 46A。同理，記憶模組 30B（及記憶模組 30A）中各個記憶單元被指派到的位址均小於記憶模組 30C 中其值最小的位址 42A，故位址 42A 可視為記憶模組 30B 對應的結尾位址 46B。而記憶模組 30C 連同記憶模組 30A、30B 中被分配到的位址均小於記憶模組 30C 對應之結尾位址 46C（也就是記憶模組 30D 的最小位址 44A）。最後，記憶模組 30D 中的所有位址均小於結尾位址 46D。請注意，各結尾位址 46A 至 46D 也就是以二進位表示各記憶模組容量累加之結果。如結尾位址 46A 代表的是二進位之  $2^{25}$ ，也就是記憶模組 30A 的記憶容量（即記憶模組 30A 記憶單元的數量）；結尾位址 46B 代表的是二進位的  $(2^{25}+2^{27})$ ，代表記憶模組 30A、30B 記憶容量的總和；結尾位址 46C 代表的是二進位的  $(2^{25}+2^{27}+2^{28})$ ，也就是記憶模組 30A、30B 及 30C 記憶容量累加的結果。最後，結尾位址 46D 代表的是二進位的  $(2^{25}+2^{27}+2^{28}+2^{26})$ ，也就是累加記憶模組

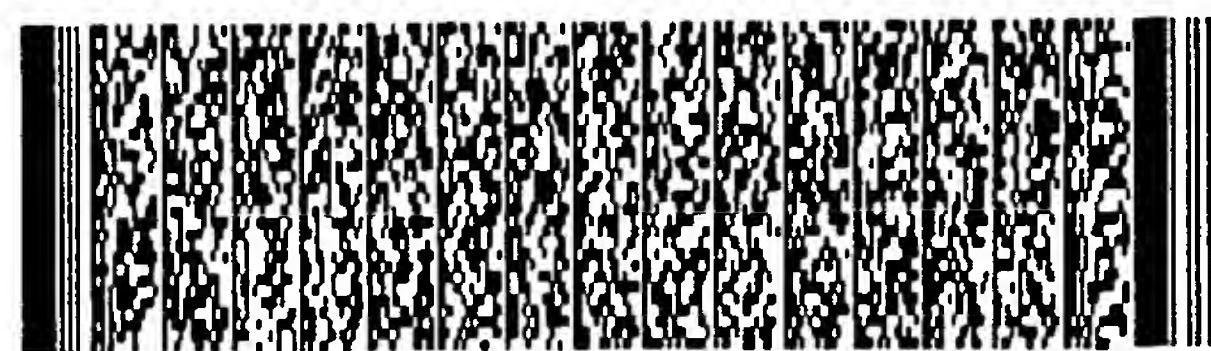
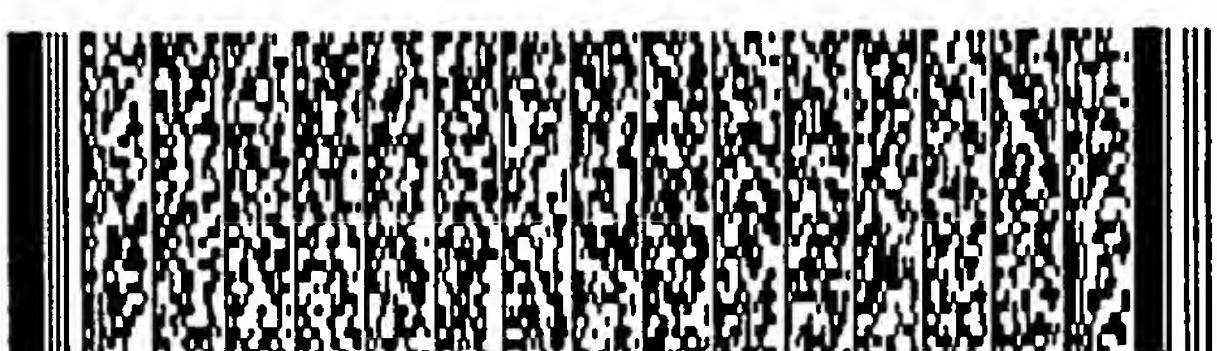


## 五、發明說明 (8)

30A至30D記憶容量的結果。

由上述描述可知，即使記憶裝置16中的各個記憶單元可能分屬不同的記憶模組，控制電路28還是會將各記憶單元視為一整體，將連續遞增的位址指派至各個記憶單元，方便電腦10中的其他電路將各記憶模組提供的當中應解碼，先確定該記憶單元所在的記憶模組（甚至是記憶單元所在的直列記憶陣列），才能在後續的過程中進一步實際存取到該記憶單元。

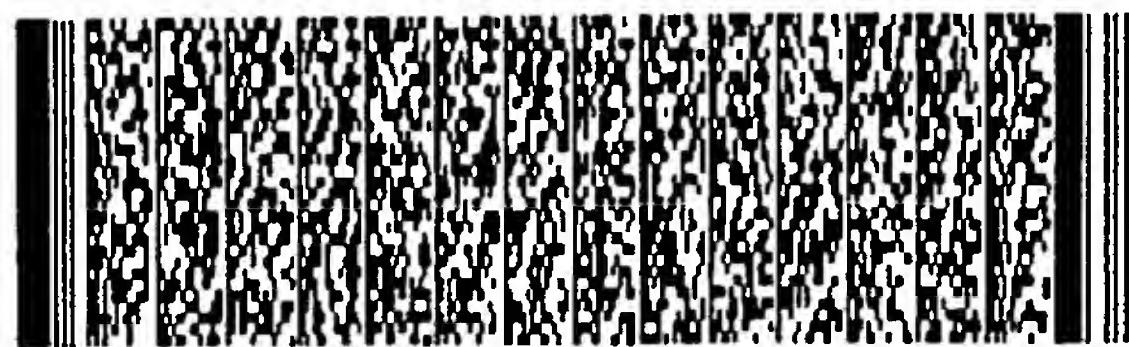
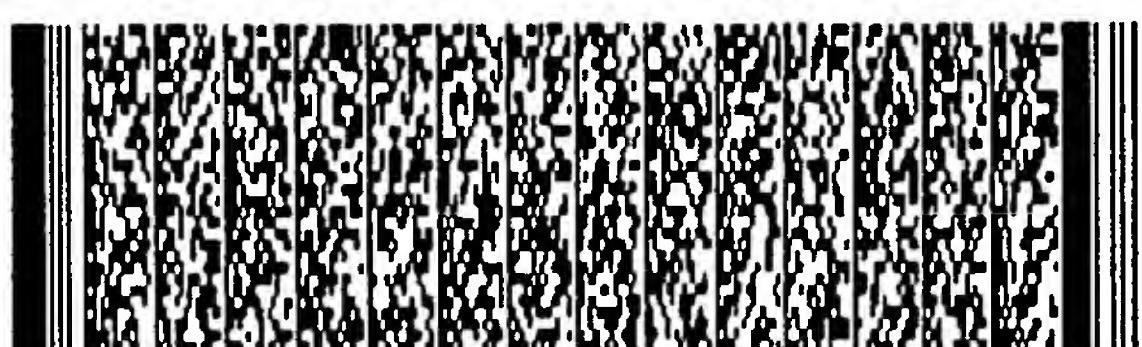
請繼續參考圖三（及圖一、二）。圖三即為習知技術中，控制電路28進行初步位址解碼方法之示意圖。在控制電路28中，設有一存取模組51、複數個減法模組48A至48D及一邏輯模組50。存取模組51用來暫存中央處理器12（或其他電路）傳至控制電路28的給定位址54；而控制電路28即會對此給定位址進行初步的位址解碼。在習知技術中，當控制電路28要進行初步之位址解碼而判斷一令定位址54屬於哪一個記憶模組時，控制電路28可用軟體或硬體的方式，實現出減法模組48A至48D以及邏輯模組50的功能。減法模組48A至48D分別用來將給定位址54與結尾位址46A至46D相減（請一併參考圖二），以減



## 五、發明說明 (9)

運算結果之正負分辨出給定位址與各結尾位址 46A至 46D 之相對大小。減法器得出的結果會由邏輯模組 50 進一步整合，以實際判斷出給定位址 54 所屬的記憶模組，並產生一對應的解碼結果 52。舉例來說，若給定位址 54 屬於記憶模組 30A，給定位址 54 就會小於各結尾位址 46A 至 46D。若給定位址 54 屬於記憶模組 30B，給定位址 54 就會小於結尾位址 46B 至 46D，但不小於結尾位址 46A。同理，當給定位址 54 對應之記憶單元屬於記憶模組 30D 時，給定位址 54 只會小於結尾位址 46D，但不小於結尾位址 46A 至 46C。而各減法模組 48A 至 48D，就是用來將給定位址 54 與分別與結尾位址 46A 至 46D 相減，以減運算結果的正負判斷出給定位址 54 與各結尾位址 46A 至 46D 間數值的大小關係；而邏輯模組 50 則能根據減法模組 48A 至 48D 得出的數值大小關係，判斷出給定位址 54 所屬的記憶模組。像是在圖三中所繪出的，若給定位址 54 為「0… 010010… 0」（僅第 25、第 28 位元為「1」），則其不小於結尾位址 46A、46B 但小於結尾位址 46C、46D，由此邏輯模組 50 就可判斷此給定位址 54 對應於記憶模組 30C 中的記憶單元。

一般來說，當控制電路 28 在指派位址時，會依序先指派遞增之位址給同一直列記憶陣列中的記憶單元。舉例來說，若記憶模組 30A 中 32 百萬個位元平均分配於直列記憶陣列 32A、32B（請一併參考圖一），則前 16 百萬個位址會被指派給直列記憶陣列 32A 的記憶單元；次 16 百萬



## 五、發明說明 (10)

個位址則會被指派給直列記憶陣列 32B。在這種位址分配的情形下，也可定義出各直列記憶陣列對應的結尾位址。而上述的習知方法也就可比較給定位址與結尾位址間的數值大小關係，來決定給定位址 54 屬於哪一個直列記憶陣列。當然，在此種應用下，四個記憶模組總共有八個直列記憶陣列，也就會有八個分別對應的結尾位址，而要以八個減法模組來分別比較給定位址與各結尾位址間的大小關係。總結控制電路 28 的運作，當電腦 10 開機後，控制電路 28 會掃描記憶裝置 16 中各記憶模組的控制電路 28，並對各記憶單元進行位址指派，此時等記憶容量大小，並對各記憶單元進行位址指派，此時到控制電路 28 也能計算出初步位址解碼所需的結尾位址。時，控制模組或直列記憶陣列，並在後續的過程中配合該給定位址所屬的記憶模組，實際存取到該給定位址對應的記憶單元。

不過，不管圖三中的習知技術是以硬體電路來實現減法模組，或是以北橋電路 26A 之微控制器執行軟體程式來實現減法模組的功能，其運作的效率皆不高。以硬體電路之實施方式來說，要實現減法模組而將兩個二進位數相減，可將其中一數取補數（像是 1 之補數，或是 2 之補數），形成該數的負數，再以二進位的加法器將該數

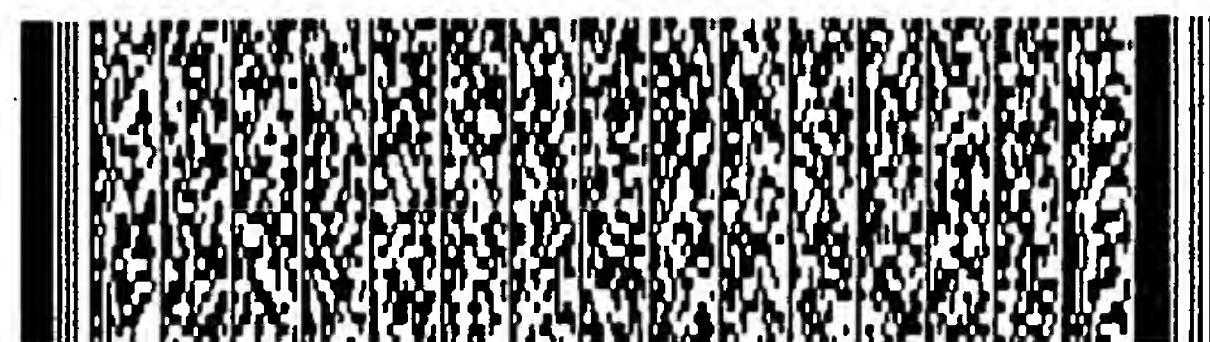


## 五、發明說明 (11)

的負數和另一數相加。由於二進位的加法器在將兩個二進位數相加時，要由兩數最不重要的位元 (LSB，也就是第 0位元) 開始，進行位元對位元的相加，再進位到下一位元，才能一個位元一個位元地逐漸完成兩數的相加。

舉例來說，有兩個二進位數 A1、A2分別為「101」與「011」；當兩數要相加而得出一和 (sum) S時，要先從兩數的第 0位元相加，由「1」+「1」得出「0」成為和 S的第 0位元，並要進位「1」至下一個位元。得到進位後，接下來才能進行兩數第 1位元相加之計算，由數 A1的第 1位元「0」加數 A2的第 1位元「1」，再加上由兩數第 0位元相加而進位的「1」，故得出和 S的第一位元為「0」，又要進位「1」至次一位元。得到兩數第一位元相加之進位後，才能繼續進行數 A1、A2第 2位元之相加，由數 A1的第 2位元「1」加數 A2的第 2位元「0」，再加上由兩數第 1位元進位而來的「1」，得出和 S的第 2位元為「0」，進位「1」，最後得出和 S為「1000」。

由上述描述可知，由於在進行二進位數之加法時，不僅兩數的對應位元要相加，還要等待前一位元進位而來的結果，才能得出正確的加算結果；而兩數加運算所需時間，就是各對應位元分別進行加運算累計所需時間之和。也就是說，加法中兩二進位數的位元越多，加運算所需的時間也就會累增。而上述加運算時間消耗之特性會直接反映於習知技術中；當圖三中的習知技術



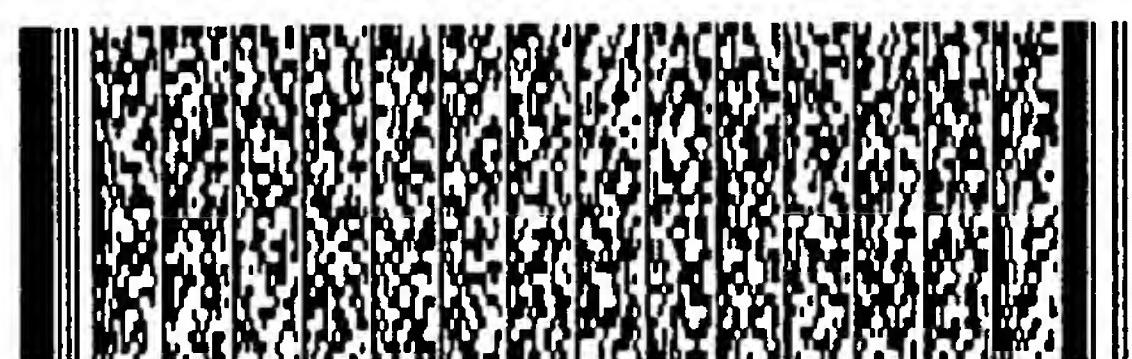
## 五、發明說明 (12)

要以減法模組進行之減運算來分別比較給定位址 54與各結尾位址 46A至 46D之大小關係時，就會消耗相當的時間在減運算上，並導致習知控制電路 28進行初步位址解碼的效率低落，無法快速地解碼出給定位址所屬的記憶模組。一旦位址解碼的效率低落，中央處理器 12（見圖一）就不能快速有效地存取記憶裝置 16的記憶資源，使整個電腦 10運作的效率也無法有效提升。

### 發明內容：

因此，本發明之主要目的，在於提供一種以位元模式直接比對進行之位址解碼方法及相關裝置，能快速有效率地進行給定位址之初步位址解碼，克服習知技術的缺點。

在習知技術中，當要對一給定位址進行初步的位址解碼而判斷該給定位址屬於哪一個記憶模組（或是哪一個直列記憶陣列）時，是以減運算（等效上也就是加運算）之結果來比較該給定位址與各預設之結尾位址間的大小關係，以判斷出該給定位址屬於哪一個記憶模組，完此初步位址解碼。然而，由於加運算要以逐位元累加進位的方法，一個位元一個位元依序地先後進行，才能為得出正確的加運算結果。因此，習知技術中以減運算的速度及效率較比對基礎的初步位址解碼方式，其運作的速度及效率較



## 五、發明說明 (13)

低，導致電腦不能快速有效率地存取記憶資源。

在本發明中，則是以位元模式比對的方式來進行初步位址解碼。經由本發明揭露之技術，就可由各記憶模組（或直列記憶陣列）中位址排列的方式，歸納出特定位元模式，也就是在屬於某些特定記憶模組的所有給定位址中，必定有某幾個位元為固定之值。比較給定位址是否符合這樣位元模式（也就是此給定位址中位元間是否符合固定之預設值），就能判斷給定位址是否屬於該特定記憶模組，並進一步解碼出給定位址所屬的記憶模組。由於模式比對是直接比對應位元之間是否符合特定值，不需要像運算一般進行位元間累加、進位，故本發明之技術能快速地完成初步位址解碼，提升電腦存取記憶裝置資源的速度及效率，進而改善電腦整體的運作效能。

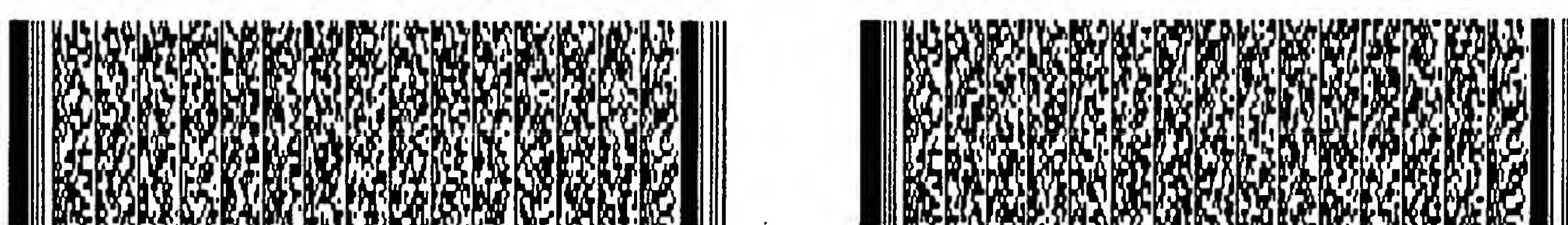
## 實施方法：

請參考圖四。圖四為本發明中之電腦 60 之功能方塊示意图。電腦 60 做為一微處理機系統，其設有一中央處理器 62、一晶片組 64、一記憶裝置 66、一顯示卡 68、一顯示器 70、一周邊裝置 72 及一基本輸出入系統 74。中央處理器 62 用來主控電腦 60 的操作，記憶裝置 66 用來以揮



## 五、發明說明 (14)

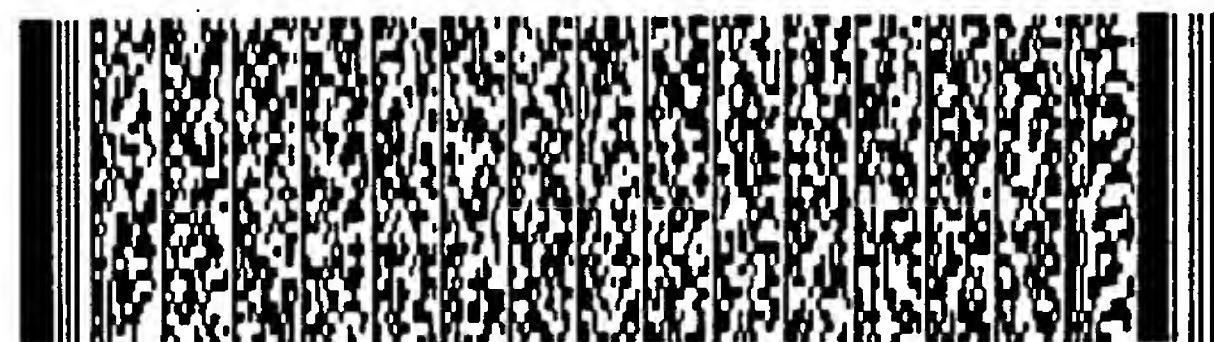
發性的方式暫存中央處理器 62運作期間所需的程式及數據、資料；顯示卡 68用來處理影像訊號，以將電腦 60運作的情形以圖形畫面顯示於顯示器 70上。周邊裝置 72可包括讓使用者輸入操控指令的鍵盤、滑鼠、用來處理聲音等訊號的音效卡或是用來將電腦 60連接於網路的網路卡等。基本輸出入系統 74中則儲存了電腦 60開機後進行初始化之設定值及相關程式。晶片組 64則用來管理顯示卡 68、記憶裝置 66、周邊裝置 72、基本輸出入系統 74與中央處理器 62間資料的往來傳輸。晶片組 64中可設有一北橋電路 76A、南橋電路 76B；北橋電路 76A用來主控記憶裝置 66、顯示卡 68與中央處理器 62間較高速的資料傳輸，南橋電路 76B用來主控周邊裝置 72、基本輸出入系統 74與中央處理器 62間較低速的資料傳輸。在本發明中，記憶裝置 66可沿用典型的配置，以多個記憶模組（圖四中繪出四個記憶模組 80A至 80D做為代表）來組合出記憶裝置 66的總記憶容量。各記憶模組 80A至 80D中分別設有複數個記憶單元 84，各記憶單元 84用來暫存 1位元的資料；集合各記憶模組的所有記憶單元，就構成記憶裝置 66的總記憶容量。就像典型的配置一樣，各記憶模組的複數個記憶單元也可分佈於兩個直列記憶陣列 (rank)；以記憶模組 80A為例，記憶模組 80A中的各記憶單元就分設於兩個直列記憶陣列 82A、82B。為了控制電腦 60中各電路對記憶裝置 66的存取，北橋電路 76A中設有一控制電路 78，



## 五、發明說明 (15)

並以控制訊號 CS0至 CS7分別控制各記憶模組 80A至 80D中不同直列記憶陣列的存取。就像現行技術下的作法，控制電路 78也會將不同的位址分別指派給記憶裝置 66中的各記憶單元 84，以對記憶裝置 66進行隨機存取；當然，當中央處理器 62(或其他電路)要存取一給定位址的記憶單元時，控制電路 78就要進行初步的位址解碼，計算出該給定位址對應記憶單元是屬於哪一個記憶模組（或進一步地，屬於哪一個直列記憶陣列），進而以對應的控制訊號觸發該直列記憶陣列，實際存取該記憶單元的資料。

請參考圖五（並一併參考圖四）。圖五為本發明中控制電路 78對記憶裝置 66中各記憶單元 84進行位址指派之示意圖。為了方便與習知技術比較，在圖五的示意例中也假設了記憶模組 80A至 80D分別具有  $2^{25}$ 、 $2^{27}$ 、 $2^{28}$ 以及  $2^{26}$ 個記憶單元，也就是分別具有 32百萬、128百萬、256百萬及 64百萬位元的記憶容量。在圖五的示意例中，各記憶單元會被對應於一 32位元的二進位位址（以第 0位元為最不重要位元，第 31位元為最重要位元）。而在本發明中，控制電路 78也可以將遞增的二進位位址依序分配給記憶裝置 66中的各記憶單元。像是記憶裝置 66中的第一個記憶單元（也就是記憶模組 80A中的第一個記憶單元）會被指派至一位址 86A，其值為二進位的「0…0」（所有位元皆為「0」）；接下來的第二個記憶



## 五、發明說明 (16)

單元，其位址 86B 就會由位址 86A 遷增 1，成為二進位的「0…01」（僅第 0 位元為「1」）。以此類推，到了記憶模組 80A 的最後兩個記憶單元，其分別對應的位址 86C、86D 也就分別遞增至二進位的「0…01…10」（第 1 至第 24 位元為「1」）及「0…01…1」（第 0 至第 24 位元為「1」）。

由於控制電路 78 會將各記憶模組中的記憶單元視為一整體，所以到了記憶模組 80B，其第一個記憶單元對應之位址 88A 就是由位址 86D 繼續遞增 1，成為二進位的「J…010…0」（僅第 25 位元為「1」）。而記憶模組 80B 中其他記憶單元的位址又繼續由位址 88A 之值遞增，經由位址 88B、88C，最後遞增至位址 88D，其值也就是二進位下的「0…01001…1」（第 0 至第 24、第 27 位元為「1」），代表此一位址就是由位址 86A 算來的第  $(2^{25} + 2^{27})$  個記憶單元。同理，記憶模組 80C 中被指派到的第一個位址 90A 也是由位址 88D 繼續遞增 1，成為二進位的「0…01010…0」（僅第 25、第 27 位元為「1」）。而記憶模組 80C 中其他記憶單元被指派到的位址也就由位址 90A 遷增，其最後一個記憶單元的位址 90F 就遞增至二進位的「10011001…1」（第 0 至第 24、第 27、第 28 位元為「1」），代表其為位址 86A 以來第  $(2^{25} + 2^{27} + 2^{28})$  個位址。而記憶模組 80D 被分配到的第一個位址（也就是其值最小的位址）92A，其值則是由位址 90F 繼續遞增 1，成為二進



## 五、發明說明 (17)

位的「00011010…0」（第25、第27、第28位元為「1」）。而記憶模組80D中最後一個記憶單元對應的位址92D，即遞增至二進位的「00011101…1」（第0至第24、第26至第28位元為「1」）。

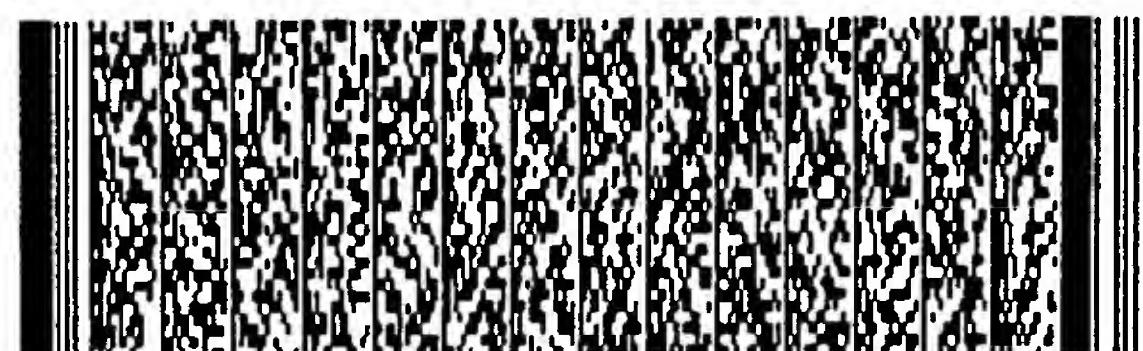
就像在圖二中的狀況，由於各記憶單元被依序指派以遞增的位址，本發明於圖五中的例子也可由各記憶模組分配到的第一個位址及最後一個位址定義出結尾位址94A至94D。其值小於結尾位址94A（也就是位址88A）的位址均屬於記憶模組80A；其值小於結尾位址94B（也就是位址90A）的位址可能屬於記憶模組80A、80B；其值小於結尾位址94C（也就是位址92A）的位址可能屬於記憶模組80A至80C。最後，由位址值最大的位址92D遞增1可計算出結尾位址94D，其值小於結尾位址94D的位址可能屬於記憶模組80A至80D其中之一個記憶模組。換句話說，各結尾位址94A至94D可分別將記憶裝置66中的各記憶單元區分為兩個區段。舉例來說，結尾位址94A將記憶模組80A劃分為一區段，將記憶模組80B至80D劃分為另一區段，若一給定位址之值小於結尾位址94A的位址，代表其屬於前一區段；反之，若其值不小於結尾位址94A，該給定位址必屬於後一區段。同理，結尾位址94C將記憶模組80A至80C劃分為一區段，記憶模組80D則變成另一區段，若給定位址之值小於結尾位址94C，代表其屬於前一區段而可能屬於記憶模組80A、80B或80C；反之，則代表



## 五、發明說明 (18)

其屬於後一區段而對應於記憶模組 80D中的一個記憶單元。

進一步觀察各結尾位址 94A至 94D所分別區分出來的區段，可發現各區段中的位址皆有一些共通的模式。舉例來說，對位址值小於結尾位址 94A的區段來說，其位址值會由位址 86A遞增至位址 86D；在上述遞增的位址序列中，雖然各個位址中第 0至第 24位元皆可能為「0」或「1」，但第 25至第 31位元的各個位元必定會維持於「0」。這也就導引出本發明中的一個位元模式 96A。在位元模式 96A(及其他後續的位元模式中)，以「x」記號標記的位元，代表其可能為「0」或「1」，而不具有固定的值。如位元模式 96A所示，第 0位元至第 24位元中的「x」，代表記憶模組 80A中的位址序列在由位址 86A遞增至位址 86D時，第 0位元至第 24位元也會在「0」、「1」之間變動。但位元模式 96A從第 25位元至第 31位元卻都有固定值「0」，代表記憶模組 80A中的位址序列雖會遞增，但各位址中第 25位元至第 31位元一定都會是「0」，這可由位址 86A至 86D觀察出來。換句話說，在記憶模組 80A中的位址序列由位址 86A開始遞增時，必定不會進位至第 25位元（也就是說，不會遞增至結尾位址 94A），而使第 25位元至第 31位元皆保持為「0」。在這種情形下，位元模式 96A就代表了記憶模組 80A中所有位址的共同模式，也就是第 25至第 31位元必定為「0」。等效上



## 五、發明說明 (19)

來說，位元模式 96A 中有定值的部分（也就是非「X」標記的部分），相當於記憶模組 80A 中各位址的共同位址。

同理，如前所述，記憶模組 80A、80B 會被結尾位址 94B 區分為一區段，記憶模組 80A 及 80B 中的所有位址均小於結尾位址 94B。在記憶模組 80A、80B 形成的區段中，所有的位址會由位址 86A 遲增，最後增加到位址 88D，形成一位址序列。觀察此位址序列可發現，此位址序列會由位址 86A 開始遞增，先遞增至位址 88B（其值為「0…01…1」也就是第 0 至第 26 位元為「1」），再由位址 88C（其值為「0…010…0」，僅第 27 位元為「1」），繼續遞增至位址 88D。當位址序列由位址 86A 遲增至位址 88B 時，各位址中第 0 至第 26 位元會在「0」、「1」間變動，但位址中的第 27 至第 31 位元皆會維持於「0」，就像位元模式 97A 所示。當位址序列由位址 88C 遲增至位址 88D 時，各位址中第 0 至第 24 位元會變動，但位址中第 31 至第 25 個位元會固定為「0000100」，就如位元模式 97B 所示。進一步觀察可知，當記憶模組 80A、80B 中小於位址 88C 之位址序列由位址 86A 遲增至位址 88B 時，位址 88C 中位於第 27 位元的「1」，事實上就是結尾位址 94B 中最靠近最重要位元的「1」。由於位址序列由位址 86A 遲增至 88B 時，一定不會進位至第 27 位元，故在位元模式 97A 中，第 27 至第 31 位元必定為「0」。同理，當位址序列由位址 88C 繼續遞增至位址 88D 時，各位址一定不會進位至第 25 位元（也就是



## 五、發明說明 (20)

結尾位址 94B第二個「1」所在的位元），這也形成了位元模式 97B 中第 31 至第 24 位元的固定值。換句話說，小於結尾位址 94B 的位址可能會符合位元模式 97A（代表其在位址 86A 至 88B 之間），或是位元模式 97B（代表其在位址 88C 至 88D 之間）；因此，只要符合位元模式 97A 或位元模式 97B 其中之一時，就代表其位址小於結尾位址 94B。。

歸結上述觀察可知，由結尾位址中值為「1」之位元，就可推導出小於該結尾位址的區段中，位址序列所具有的位元模式。在小於結尾位址 94A 的位址序列中，各位址之值一定不會進位至結尾位址 94A 於第 25 位元的「1」，故形成了位元模式 96A。在小於結尾位址 94B 的位址序列中，在由位址 86A 遞增至位址 88B 的過程中，一定不會進位至結尾位址 94B 於第 27 位元的「1」，故形成了位元模式 97A；在由位址 88C 遞增至位址 88D 的位址序列中，一定不會進位至結尾位址 94B 第 25 位元的「1」，故形成位元模式 97B。

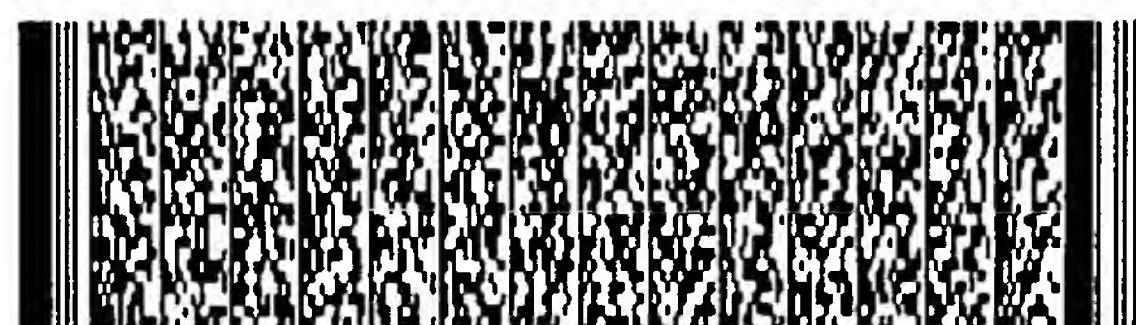
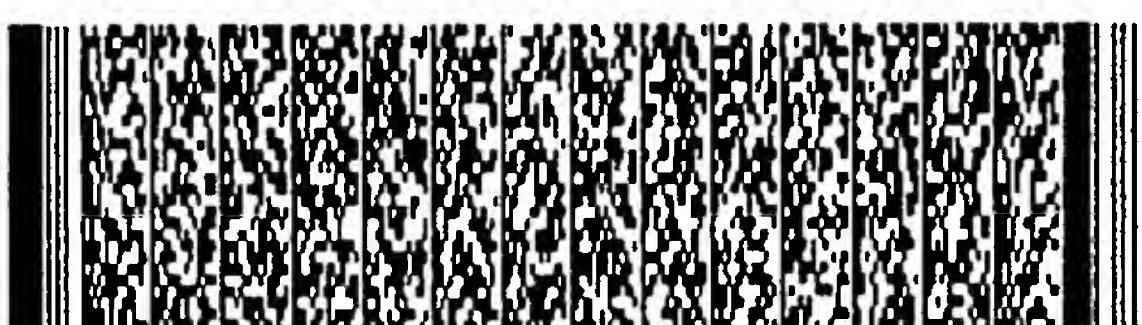
同理，在小於結尾位址 94C 的區段中（也就是記憶模組 80A、80B 及 80C 中的所有位址），位址序列也是由先由位址 86A 遞增至位址 90B，形成位元模式 98A；由位址 90C 遞增至位址 90D 的各個位址會具有位元模式 98B；由位址 90E 遞增至位址 90F 的各個位址則會具有位元模式 98C。換句話說，針對結尾位址 94C 分別位於第 28、27 及 25 的三個



## 五、發明說明 (21)

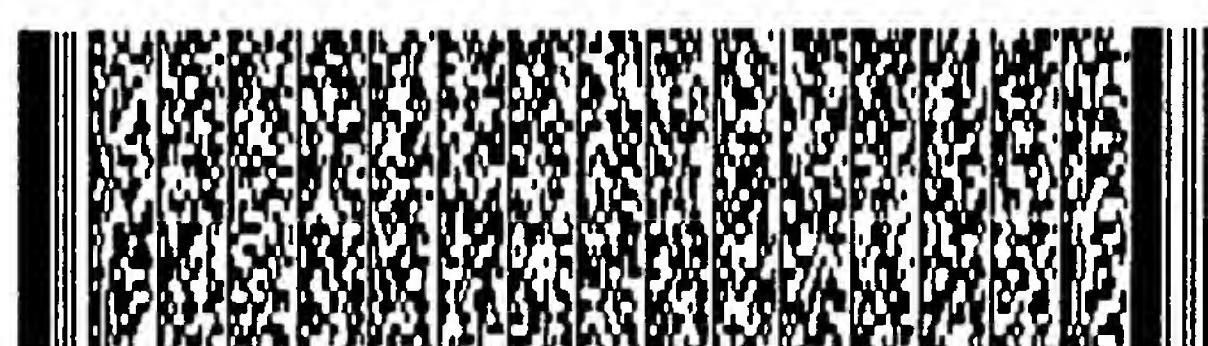
「1」來說，由位址 86A遞增至位址 90B，而不會進位至第 28 位元之位址具有位元模式 98A；由位址 90C遞增至位址 90D，不會進位至第 27 位元之位址具有位元模式 98B；由位址 90E遞增至位址 90F，不會進位至第 25 位元之位址具有位元模式 98C。位元之排列符合位元模式 98A、98B 及 98C 其中之一的位址，就代表其小於結尾位址 94C。

依據相同的原理，由結尾位址 94D 中位於第 28、27、26、25 的四個「1」，就可以分別推導出位元模式 99A 至 99D。在小於結尾位址 94D 的位址序列中，由位址 86A 開始遞增至位址 90B 而不會進位至第 28 位元的位址，會具有位元模式 99A。由位址 90C 遞增至位址 90D 而不進位至第 27 位元的各個位址，會具有位元模式 99B。由位址 90E 遞增至位址 92B（其值為「0001101…1」，第 0 至 25 位元、第 27、第 28 位元為「1」）而不進位至第 26 位元的各個位址具有位元模式 99C，而由位址 92C 遞增至位址 92D，且不進位至第 25 位元之各個位址，都會具有位元模式 99D。總結上述的討論可知，各結尾位址均對應於一或多個位元模式（位元模式的個數就和結尾位址中其值為「1」之位元的個數相同），若某一給定位址符合某一結尾位址的其中一個對應位元模式，就代表該給定位址之值小於該結尾位址。本發明即是利用上述原理來進行初步位址解碼，以判斷某一給定位址屬於哪一個記憶模組（或直列記憶陣列）。



請參考圖六 A(並一併參考圖五)。圖六 A為本發明控制電路 78中用來實現初步位址解碼功能之功能方塊示意圖。控制電路 78中可設有一存取模組 101、一模式計算模組 116、一邏輯模組 100、複數個比較模組 111A至 111D。各比較模組中則設有一或多個比較單元(圖六 A中繪出比較單元 106A、108A至 108B、110A至 110C以及 112A至 112D作為示意例)以及「或運算模組」(圖六 A之示意例中示出或運算模組 114A至 114C)。延續圖五中的例子，圖六 A示意的即是在圖五之記憶裝置配置下(也就是記憶模組 80A至 80D分別有 32百萬、128百萬、256百萬以及 64百萬位元的記憶容量)，本發明實現初步位址解碼的情形。其中存取模組 101用來接收、暫存一給定位址 104，當控制電路 78在電腦 60開機時而將不同之位址指派給記憶裝置 66中不同的記憶單元後，模式計算模組 116就能計算出各記憶模組對應的結尾位址以及位元模式；而由各比較單元、或運算模組形成之比較模組，以及邏輯模組 100則用來對給定位址 104進行初步的位址解碼，以判斷給定位址 104所屬的記憶模組，並由邏輯模組 100產生對應的解碼結果 102。

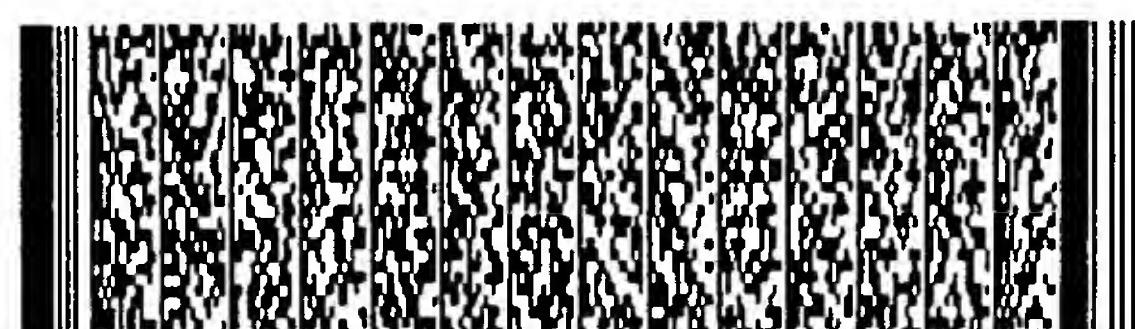
如前面所討論過的，一結尾位址可對應一到多個位元模式，只要給定位址符合其中一個位元模式，就代表該給定位址之值小於該結尾位址(或不大於此記憶模組之



## 五、發明說明 (23)

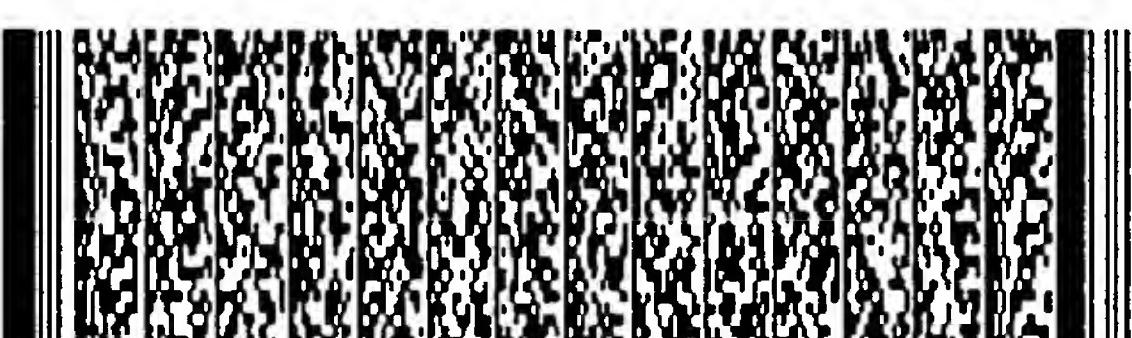
最大位址)。反之，若該給定位址不符合該結尾位址對應的所有位元模式，就代表該給定位址之值不小於該結尾位址。控制電路 78 中的各個比較單元，其功能就是分別用來將給定位址 104 與各位元模式相比較。像是比較單元 106A 是用來比較給定位址 104 是否符合結尾位址 94A 對應之位元模式 96A(見圖五)，比較單元 108A、108B 分別用來比較給定位址 104 是否符合結尾位址 94B 所對應的兩個位元模式 97A、97B。結尾位址 94C 對應有三個位元模式 98A 至 98C，比較單元 110A 至 110C 就是用來比對給定位址 104 是否分別符合上述三個位元模式 98A 至 98C。比較單元 112A 至 112D 則用來比對給定位址 104 是否分別符合結尾位址 94D 所對應的四個位元模式 99A 至 99D。而由各比較單元及或運算模組形成之比較模組，就能根據給定位址是否符合某一結尾位址對應位元模式之一，判斷給定位址是否屬於位址小於該結尾位址的區段。像是比較模組 111D 就將四個比較單元 112A 至 112D 的比較結果進行或運算，以判斷給定位址 104 是否符合於結尾位址 94D 所對應的四個位元模式 99A 至 99D 其中之一，而決定給定位址 104 是否小於結尾位置 94D(或不大於記憶模組 80D 之最大位址 92D)，並由或運算模組 114C 輸出一對應的綜合比較結果。

當各比較單元在比較給定位址 104 與特定的位元模式時，是比對位元模式中具有固定值之位元和給定位址 104



## 五、發明說明 (24)

中對應位元之值是否相符；若位元模式中具有固定值之各個位元和給定位址 104中的各個對應位元均有相同之值，就代表給定位址 104符合此位元模式。舉例來說，在比較單元 106A中，是要比較給定位址 104和位元模式 96A是否相符；因為位元模式 96A有固定值之位元為第 25至第 31位元，其值皆為「0」，故若給定位址 104的第 25至第 31位元亦同樣為「0」，就代表給定位址 104符合位元模式 96A，而比較單元 106A即可發出一「真」(true)之邏輯結果反映兩者相符。反之，只要給定位址 104的第 25至第 31位元中，有一個位元之值不為「0」，給定位址 104就不符合位元模式 96A，此時比較單元 106A可發出一「偽」(false)之邏輯結果反映兩者不符。同理，在比較單元 110A中，由於位元模式 98A中有第 28至第 31位元其值固定為「0」；若給定位址 104的第 28至第 31位元之值亦全為「0」，比較單元 110A就可發出一「真」之邏輯結果至或運算模組 114B。反之，只要給定位址 104的第 28至第 31位元中，有一個位元之值不為「0」，比較單元 110A就會向或運算模組 114B發出「偽」之邏輯結果，代表給定位址 104不符位元模式 98A。在圖六 A中，也實際假設了給定位址 104之值為二進位的「00010010…0」（僅第 25、第 28位元為「1」；此值與圖三中給定位址 54之值是相同的）。以此給定位址 104在各比較單元中與各位元模式比較後，比較單元 106A、108A、108B比較的結果應該分別是「偽」、「偽」、「偽」；比較單元 110A、110B及 110C



## 五、發明說明 (25)

之比較結果則分別是「偽」、「真」及「偽」；比較單元 112A至 112D之比較結果則依序分別是「偽」、「真」、「偽」及「偽」。

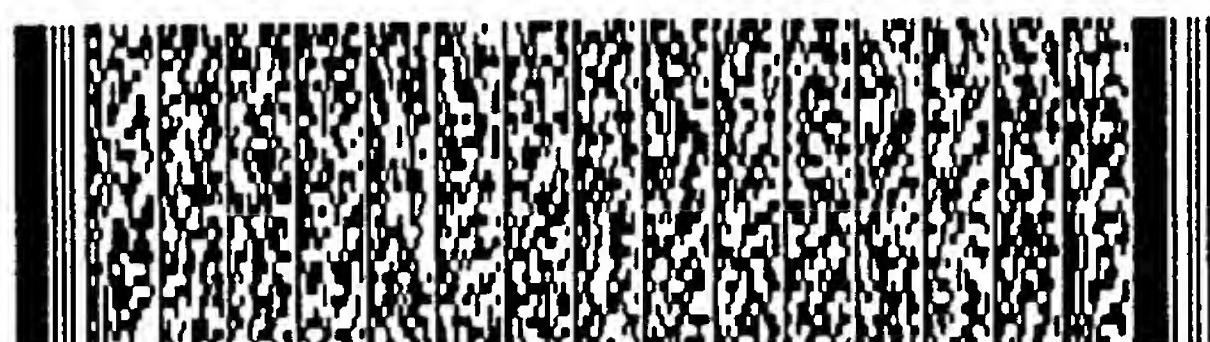
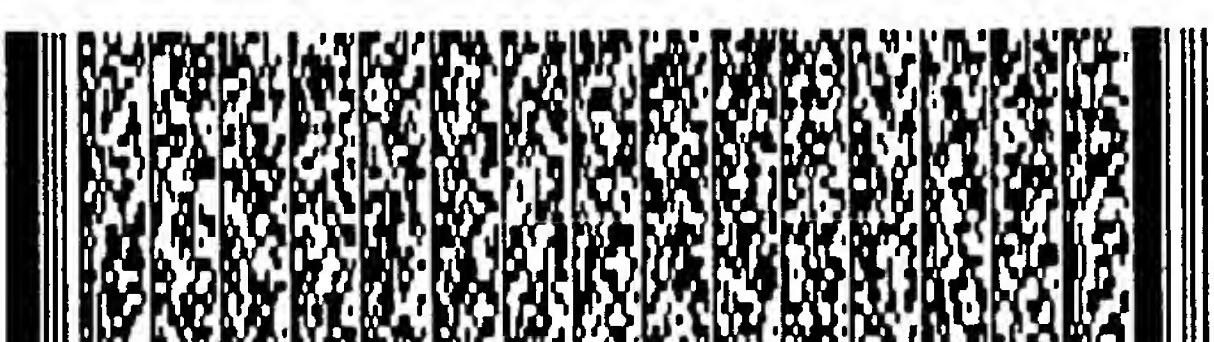
因為只要給定位址 104 符合一結尾位址對應的其中一個位元模式，就代表給定位址 104 小於該結尾位址（或不大於某一記憶模組之最大位址），所以各比較單元在分別比較給定位址 104 和對應同一結尾位址的各位元模式後所得之比較結果，可用一或運算模組整合起來。就像圖六 A 中的示意例，比較模組 111B 中的兩個比較單元 108A、108B 分別用來比較給定位址 104 與結尾位址 94B 對應的兩個位元模式 97A、97B，這兩個比較單元之比較結果就會由或運算模組 114A 進行或運算，或運算的結果就代表給定位址 104 是否小於結尾位址 94B。同理，在比較模組 111D 中，比較單元 112A 至 112D 分別用來比較給定位址 104 是否符合結尾位址 94D 所對應的四個位元模式 99A 至 99D；這四個比較器的比較結果會由或運算模組 114C 進行或運算，或運算模組 114C 輸出的結果，就代表給定位址 104 是否小於結尾位址 94D。當然，像結尾位址 94A 僅有一對應的位元模式 96A，比較模組 111A 中之比較單元 106A 的比較結果就能直接代表給定位址 104 是否小於結尾位址 94A。以圖六 A 中給定位址 104 的實例值「00010010…0」來說，比較單元 106A 之「偽」代表給定位址 104 不小於結尾位址 94A；在比較模組 111B 中，比較單元 108A、108B 皆為



## 五、發明說明 (26)

「偽」之比較結果經過或運算，或運算模組 114B還是會輸出「偽」之邏輯結果，代表給定位址 104不 小於結尾位址 94B。在比較模組 111C中，比較單元 110A至 110C分別為「偽」、「真」、「偽」的比較結果會經由或運算模組 114B得出「真」的輸出，代表給定位址 104符合結尾位址 94C對應之位元模式 98B，也就是說，給定位址 104小於結尾位址 94C。同理，在比較模組 111D中的四個比較單元 112A至 112D分別為「偽」、「真」、「偽」、「偽」的比較結果會由或運算模組 114C或運算為「真」，代表給定位址 104小於結尾位址 94D。根據或運算模組 111A至 111D輸出的結果，邏輯模組 100就能輕易地判斷出給定位址 104所屬的記憶模組，並產生解碼結果 102，完成初步的位址解碼。延續上述的實例，既然給定位址 104不 小於結尾位址 94A、94B但 小於結尾位址 94C、94D，就可判斷給定位址 104屬於記憶模組 80C。

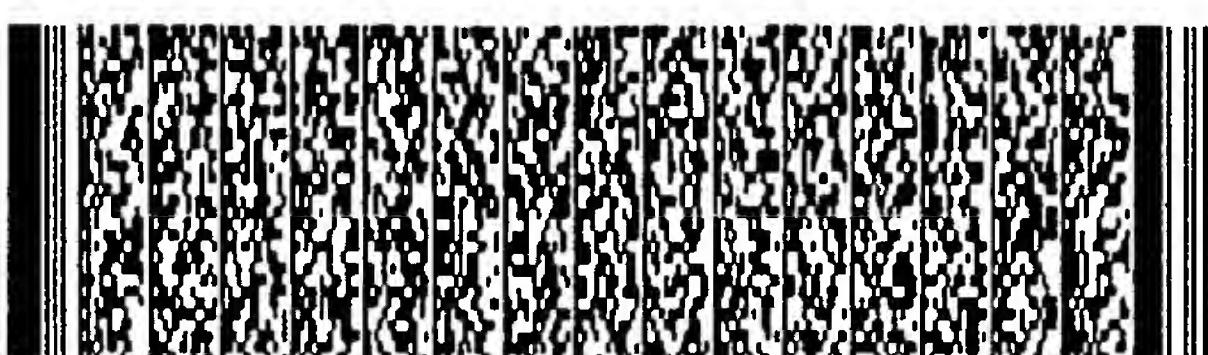
整體來說，本發明進行初步位址解碼的流程可敘述如下。當電腦 60(見圖四)開機後，控制電路 78會掃描記憶裝置 66中的各記憶模組，以得知各記憶模組中所具有的記憶單元，並將不同的位址指派給不同的記憶單元。位址指派完後，模式計算模組 116也就能確定各記憶模組(或是直列記憶陣列)對應的結尾位址，並由各個結尾位址導出各結尾位址對應的位元模式，讓各個比較單元能有比較的依據。在電腦 60後續的運作過程中，當



## 五、發明說明 (27)

中央處理器 62(或其他電路)要存取給定位址的記憶單元時，控制電路 78就能依據各比較單元、或運算模組及邏輯模組 100協同運算的結果，進行初步位址解碼，求出該給定位址所屬的記憶模組(或直列記憶陣列)。在本發明中，控制電路 78中的模式計算模組 116、各個比較模組、比較單元、或運算模組及邏輯模組 100都能以硬體電路，或是以微控制器執行軟體(或韌體)程式來實現。當然，也可以用不同的方式實現不同模組的功能。舉例來說，模式計算模組 116之功能可由控制電路 78在電腦 60開機時執行基本輸出入系統 74(請見圖四)中的一段程式而加以實現；而各比較單元可用硬體電路來具體實現。

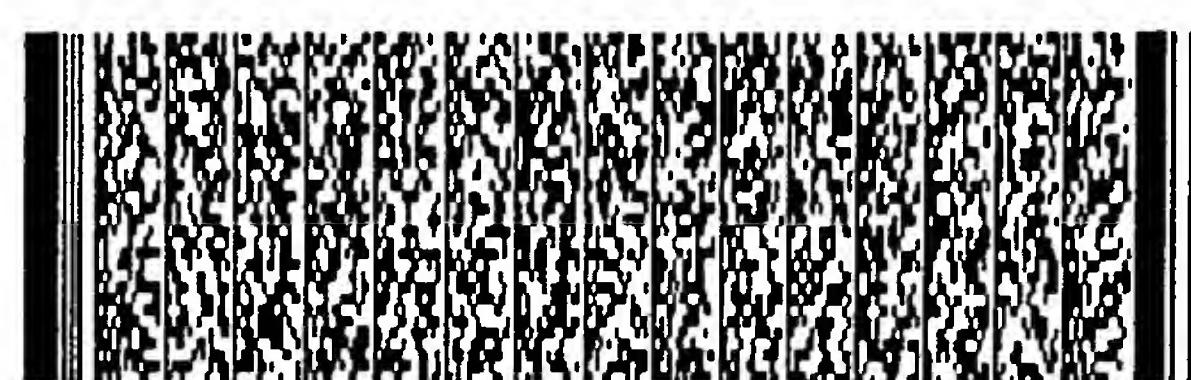
由於本發明是以位元模式比較的方式來進行初步位址解碼，故本發明能快速有效率的實施。因為在各比較單元進行位元模式比較時，是比對位元模式中具有固定位元和給定位址 104中對應位元是否相符，可以同時、平行地對每個欲比對的位元進行比對，再迅速地整合出比較的結果。舉例來說，在圖六 A中的比較單元 106A運作時，可同時檢查給定位址 104的第 25至第 31位元是否為「0」，再將各位元比較的結果作及運算，得到比較的結果。以數位電路之運作時間來說，在本發明中，各比較單元可在同一時間中同時完成各對應位元之比較，並將各對應位元比較的結果做及運算，得出比較單



## 五、發明說明 (28)

元最後比較的結果，再由比較模組中的或運算單元將各比較單元的結果作或運算，以判斷給定位址是否小於某一結尾位址。進行上述過程所需之時間，大致上就是：單一位元比較所需的時間，加上一比較單元中及運算所需時間，再加上一比較模組中進行或運算所需時間。在上述的三種不同運算中，每一種運算都相當簡單，甚至能用單一邏輯閘來實現，故本發明能夠十分快速地完成整個比較模組的運作。相較之下，習知技術中以減法（等效上為加法）來進行初步位址解碼，在各位元進行加運算時，還要等待次一位元加運算之進位，故其所需的時間是各位元加運算所需時間累計總和的結果；以三十二位元之位址解碼來說，至少需要三十二個別位元運算所需時間才能完成。因此，本發明之初步位址解碼方法能更快速有效率地進行。

事實上，本發明中的位元模式還可進一步簡化。關於情形，請參考圖六 B(並一併參考圖六 A)。圖六 B跟圖六 A一樣，顯示的都是控制電路 78 中以本發明之精神實現初步位址解碼的功能方塊；圖六 A、六 B 中標號相同的元件、方塊，皆具有相同的功能及運作模式。圖六 B 與圖六 A 最主要的不同處，在於圖六 B 中各比較單元作為比較依據的位元模式已經經過進一步的簡化。舉例來說，在由結尾位址 94B 產生出來的位元模式 97A、97B 中，比較單元 108B 其實可以不必比對給定位址 104 的第 27 是否為



## 五、發明說明 (29)

「1」；換句話說，雖然在圖六 A中，比較單元 108B要比較給定位址 104的第 31至第 25位元是否分別符合「0000100」，但在簡化後，圖六 B中的比較單元 108其實只要比較第 25、26及第 28到第 31位元是否為「0」即可。等效上來說，也就是將位元模式 97B中的第 27位元視為不定值，因而不需比對給定位址 104中的第 27位元是否符合某一特定值；故圖六 B中也將位元模式 97B中的第 27位元以「X」記號代替原來的「1」。能這樣簡化的原因是在比較單元 108A、108B中，比較單元 108A已經比較過給定位址 104的第 27位元是否為「0」，既然比較單元 108A、108B比較的結果會再經過或運算模組 114A的或運算，比較單元 108B中就不必再比較給定位址 104的第 27位元是否為「1」。請考慮下面的布林變數算式推導：

$$\begin{aligned} & A * B + A' * C \\ & = A * B * (1 + C) + A' * B' * C \\ & = A * B + A * B * C + A' * B' * C \\ & = A * B + A * (B + B') * C \\ & = A * B + A * C \end{aligned}$$

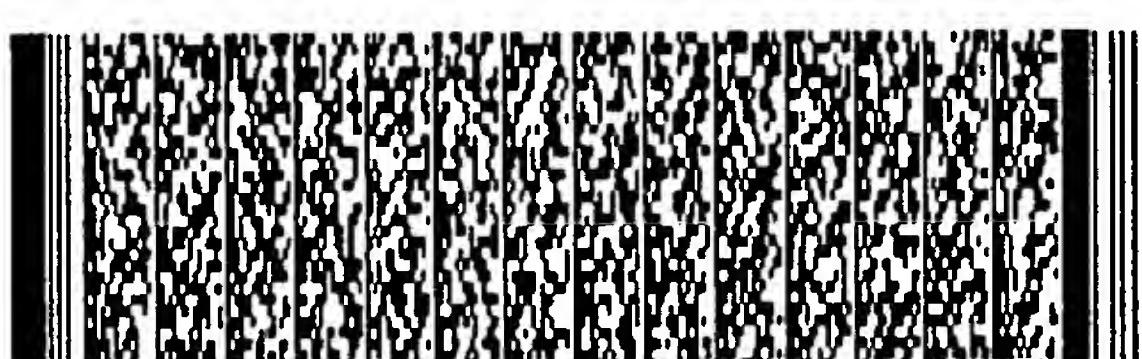
其中變數 A、B、C為三個布林變數， $B'$ 代表變數 B的反相，「\*」代表及運算，「+」代表或運算，「1」代表「真」。在上述的推導中，變數 A之值可代表給定位址 104的第 28至 31位元是否皆為「0」（若皆為「0」則變數 A為「真」，否則變數「A」為「偽」）；變數 B之值代表給定位址 104的第 27位元是否為「0」（若為「0」則變數



## 五、發明說明 (30)

B為「真」)。在圖六 A中，比較單元 108A將給定位址 104 與位址模式 97A比對的結果，就可寫成  $A * B$ 。而變數 C則可代表給定位址 104中第 25、26位元是否全為「0」(若皆為「0」則變數 C為「真」)；因此，圖六 A中比較單元 108B將給定位址 104與位元模式 97B比對的結果，就可用  $A * B' * C$ 來代表(因為變數 B代表給定位址 104的第 27位元之值是否等於「0」， $B'$ 便能代表該位元之值是否等於「1」)。而在比較模組 111B中，比較單元 108A、108B經過或運算模組 114A進行或運算的結果，當然就可用  $(A * B + A * B' * C)$ 來代表。經由上述的推導可知， $(A * B + A * B' * C)$ 可化簡為  $(A * B + A * C)$ ，也就是說，即使比較單元 108B不比對給定位址 104中的第 27位元是否為「1」而簡化為圖六 B中的情況，圖六 B中比較單元 108A、108B之比較結果在經過或運算模組 114A之或運算後，還是會和圖六 A中或運算模組 114A得出的結果完全相同。

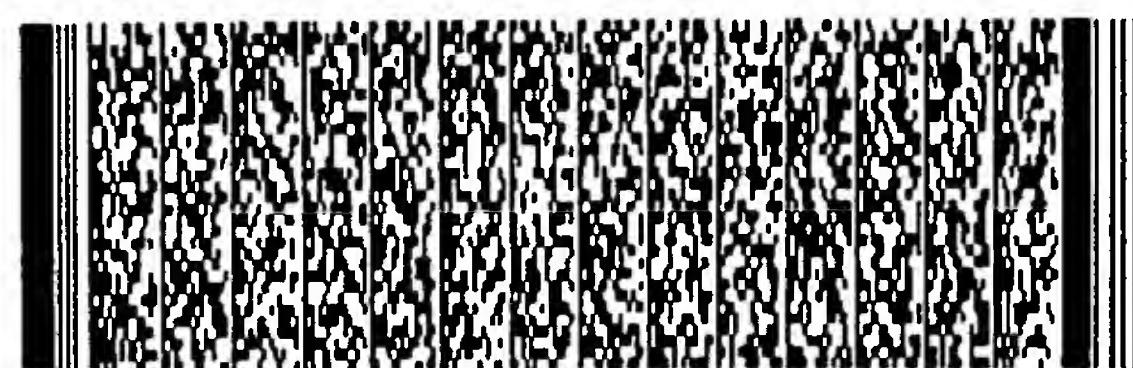
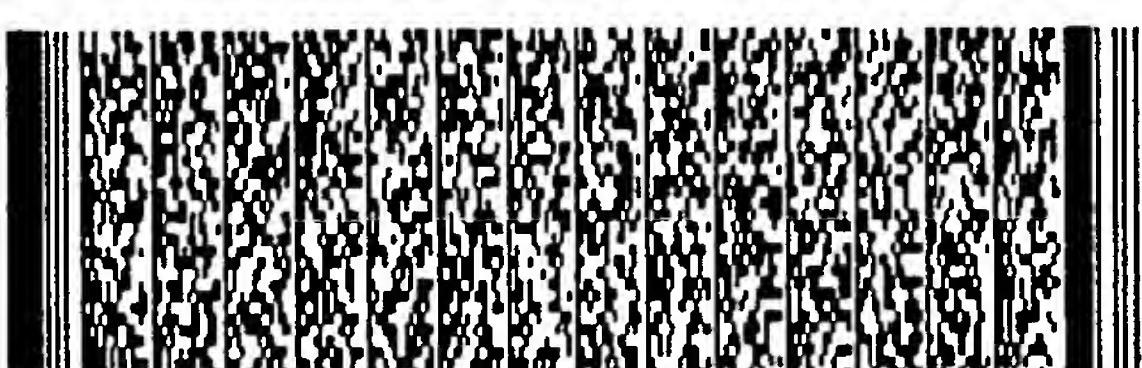
在對應同一結尾位址的各個位元模式中，某一位元模式中的「1」必定是由另一位元模式中的「0」進位而來，故在以上述原理簡化本發明時，位元模式中的「1」一定可以省略不比對。換句話說，在對應同一結尾位址的二個位元模式中，位元模式中「1」出現的位元，一定會在另一個位元模式中為「0」。舉例來說，如圖五所示，在對應結尾位址 94C的三個位元模式 98A到 98C中，因為位元模式 98B中第 28位元的「1」是由位元模式 98A中的



## 五、發明說明 (31)

第 27位元遞增 1而進位的（就是由位址 90B遞增至 90C），所以位元模式 98A中，其第 28位元必定為「0」。在實施本發明時，既然在同一比較模組 111C中，比較單元 110A已經比較過給定位址 104的第 28位元是否為「0」，比較單元 110B、110C就可以省略不比較給定位址 104的第 28位元是否為「1」，就如圖六 B中所示。同理，位元模式 98C中第 27位元的「1」也是在位址序列由位址 90D遞增至 90E時，由位元模式 98B中的第 27位元之「0」進位而得的。因為同一比較模組 111C中的比較單元 110B中已經比較過給定位址 104之第 27位元是否為「0」，比較單元 110C中就必再比較該位元是否為「1」了。就如圖六 B中所示，在本發明以上述的原理簡化後，各比較單元中都不再需要比較給定位址中的特定位元是否為「1」了。

請參考圖六 C（並一併參考圖六 B）。圖六 C中是以圖六 B中的比較單元 112C、112D作為代表，示意本發明中比較單元一實施例的功能方塊圖。在圖六 C中的實施例，各比較單元中設有複數個反及閘（圖六 C中繪出反及閘 118A至 118H、120A至 120H做為代表）以及一及閘（圖六 C中的兩比較單元 112C、112D中分別設有一及閘 122、124）。其中各反及閘用來將給定位址 104中的一個位元和一遮罩（129C或 129D）中的一個對應位元做反及運算，而及閘則用來將同一比較單元中各反及閘的輸出結果做及運算，得出該比較單元的比較結果。首先，由圖六 B中可知，在



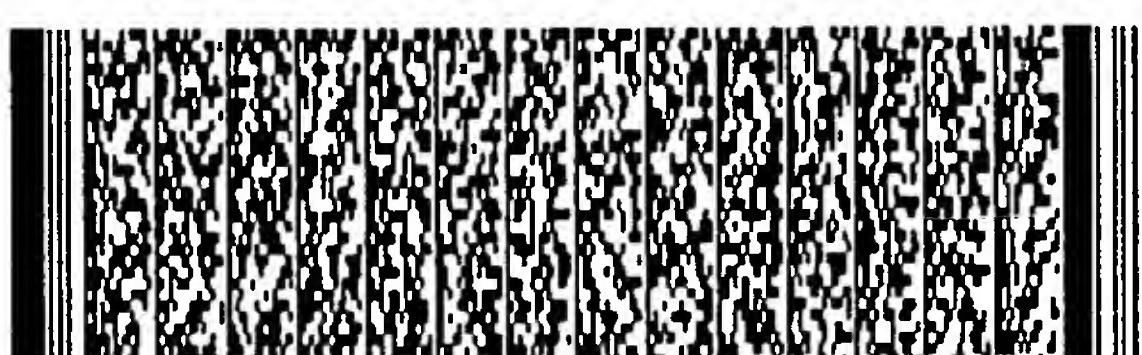
## 五、發明說明 (32)

本發明經過簡化後，各比較單元其實只要比對給定位址 104 中的某些特定位元之值是否為「0」。而本發明中各比較單元所使用的遮罩，就是用來標示出這些特定、待比對位元之位置。舉例來說，在圖六 B 中的比較單元 112D 是用來比對給定位址 104 是否符合位元模式 99D，也就是要檢查給定位址 104 中的第 25、第 29 至第 31 位元是否為「0」。因此，在圖六 C 中，比較單元 112D 所使用的遮罩 129D，其第 25、第 29 至第 31 位元皆為「1」。而其他不需比對的位元，則在遮罩 129D 中以「0」來代表。這樣一來，比較單元只要將其對應遮罩中的各個位元和給定位址 104 中各個對應位置的位元分別進行反及運算，給定位址 104 中不需比對的位元就會被遮罩「遮住」。再以比較單元 112C 為例，比較單元 112C 是用來比對給定位址 104 中第 26、第 29 至第 31 位元是否為「0」，給定位址 104 中其他位置的位元則不需比對（請參考圖六 B 中的位元模式 99C）；而圖六 C 中的比較單元 112C 就是以其對應遮罩 129C 中值為「1」之第 26、第 29 至第 31 位元，標示出待比對位元之位置；而遮罩 129C 中其他值為「0」之位元，就代表給定位址 104 中對應位置之位元不需比對。另外，要比對某一位元是否為「0」，只要將該位元反相（做反運算，即可得到比對的結果。若該位元之值為「0」，其反相後的「1」（也就是「真」）就能代表該位元之值的確為「0」。



## 五、發明說明 (33)

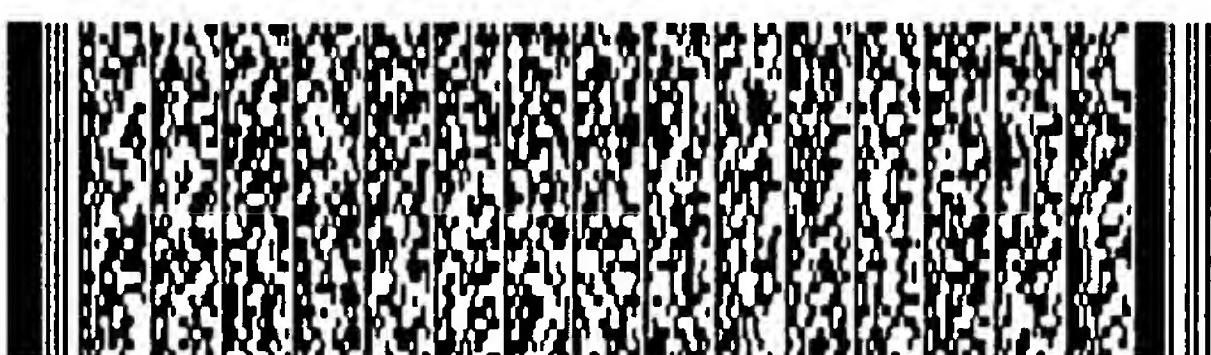
結合遮罩應用時的及運算及位元值檢查的反相運算，各比較單元就能以反及閘來實現給定位址 104與位元模式間的比對。舉例來說，如圖六 C所示，比較單元 112D 中的反及閘 118A至 118H，分別用來將給定位址 104的第 31 至第 24位元，和遮罩 129D中的第 31至第 24位元做反及運算。對反及閘 118D、118E及 118F來說，由於遮罩 129D中對應之第 26至第 28位元皆為「0」，不管給定位址 104中第 28至第 26位元之值為何，反及閘 118D至 118F反及運算的結果都會是「真」；換句話說，遮罩 129中第 28至第 26位元分別遮住了給定位址 104中的第 28至第 26位元，使比較單元 112D不會去檢查這些位元之值（等效上就是，給定位址 104中這些位元之值不會影響比較單元 112D輸出的結果）。相對地，對反及閘 118A至 118C、118G來說，由於遮罩 129D中第 31至第 29、第 25位元之值皆為「1」，這些反及閘的輸出就會分別由給定位址 104中的第 31至第 29、第 25位元之值來決定；換句話說，比較模組 112D之中這些位元之值會實際影響比較單元 112D的輸出。延續圖六 B中的實例，圖六 C中也假設給定位址 104為「00010010…0」（僅第 25、28位元為「1」）；在此實例中，給定位址 104中的第 31至第 29位元皆為「0」，而讓反及閘 118A至 118C輸出之值皆為「真」。然而，因為給定位址 104中的第 25位元為「1」，會使反及閘 118G的輸出為「偽」，並連帶使及閘 122之輸出為「偽」，代表比較單元 112D在將給定位址 104與位元模式 99D比對後，



## 五、發明說明 (34)

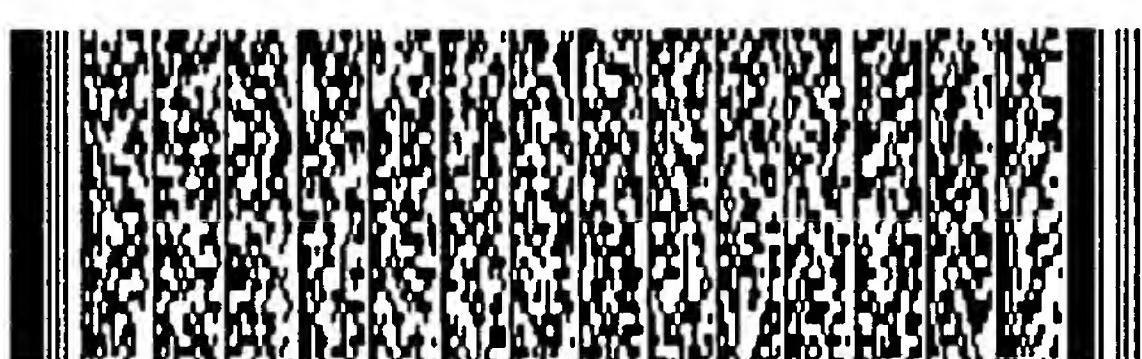
判斷兩者並不相符。

相對地，在比較單元 112C中，由於遮罩 129C在第 31 至 29位元、第 26位元為「1」，而給定位址在第 31至第 29 位元、第 26位元之值也都為「0」，故反及閘 120A至 120C、120F的輸出均為「真」，而其他的反及閘也會因遮罩 129C中值為「0」之位元而輸出「真」，使得及閘 124最後輸出的結果也是「真」，代表給定位址 104符合比較單元 112C在圖六 B中所對應的位元模式 99C。當然，在此要強調的是，圖六 C中所示之比較單元僅為本發明多種可能的實施例之一；舉例來說，圖六 C中的反及閘、及閘之功能除了可以用硬體電路來實現外，也可由控制電路執行軟體程式來實現。圖六 C之最主要的目的，還是要顯示本發明能快速地完成位元模式比對的過程，因為個別位元之比對（在圖六 C之例中就是反及閘之運作）可以平行進行，再快速整合出整個比較單元進行位元模式比對的結果。若是以硬體邏輯閘來實現圖六 C中的架構，不管每個比較單元應用之遮罩中有幾個位元為「1」，每個比較單元大致都能在兩個閘延遲之後，輸出比較的結果。另外，如前所述，控制電路 78中的模式計算模組 116 在機過程中會算出各比較單元對應的位元模式作為比較的依據，但模式計算模組 116也可以直接計算出各比較單元對應的遮罩，以圖六 C中的技術原理來實現比較單元的功能。



由以上對圖五、圖六 A至六 C之討論可知，不論是圖六 A中所使用的位元模式、圖六 B中經過簡化的位元模式或是圖六 C中的遮罩，都能由圖五中的結尾位址直接推算出來。更明確地說，是由結尾位址中值為「1」之位元推算出來。就如前述針對圖五之討論，一結尾位址中值為「1」之位元的個數，就代表該結尾位址對應位元模式的個數；在位址序列中，位址序列在遞增而進位至結尾位址中的「1」之前，各位址所具有的共同模式，就形成了位元模式。而對應於各個記憶模組的結尾位址，其實都是由各記憶模組之記憶容量累加而來。故在各個結尾位址中，「1」出現的在哪幾個位元，與各記憶模組的記憶容量有直接的關係。關於此情形，請參考圖七。圖七為各結尾位址推導計算之示意圖。如圖七所示，在各結尾位址 130A至 130D中，其值最小之結尾位址 130A，就等於記憶模組 80A記憶容量之二進位值，代表屬與記憶模組 80A的各個位址均小於結尾位址 130A。而結尾位址 130B就等於記憶模組 80A、80B記憶容量總和之二進位值，代表這兩個記憶模組中的各個記憶單元所對應之位址均小於結尾位址 130B。同理，到了其值最大的結尾位址 130D中，結尾位址 130D就等於所有記憶模組 80A至 80D記憶容量總和之二進位值。

由於在現行技術中，各記憶模組的記憶容量都是 2的



## 五、發明說明 (36)

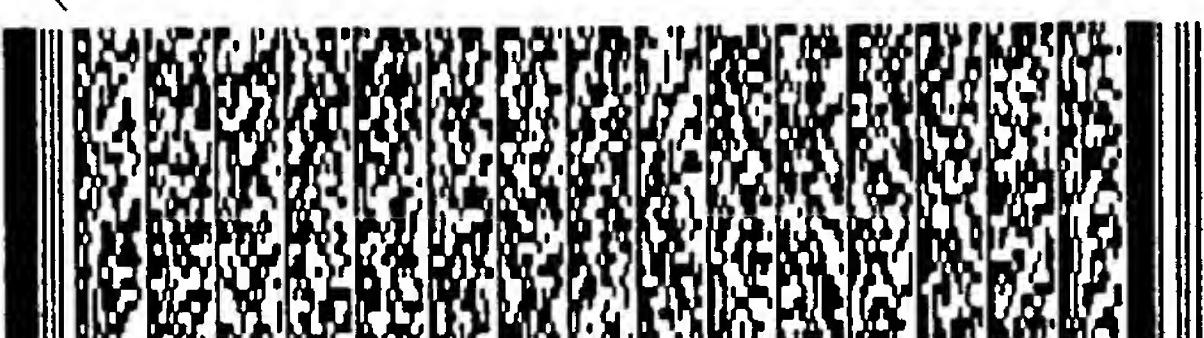
乘幕 (power of 2, 也就是  $2^N$  之形式)，以二進位來表示各記憶模組的記憶容量，都只會在二進位中出現一個值為「1」之位元；而在不同記憶模組的不同記憶容量累加而形成結尾位址時，各結尾位址中「1」的數目、位置也就會隨之改變。在結尾位址 130A 中，由於僅累加了一個記憶模組的記憶容量，故結尾位址 130A 中僅有一個「1」。在結尾位址 130B 中，累加了記憶模組 80A、80B 的記憶容量，故結尾位址 130B 中可能會有一個或兩個位元為「1」。舉例來說，在圖五中的例子，因為記憶模組 80A、80B 分別有 32 百萬 ( $2^{25}$ ) 和 128 百萬 ( $2^{27}$ ) 位元的記憶容量，故在此例中，結尾位址 94B 有兩個值為「1」的位元，分別是第 25、第 27 位元；這樣一來，結尾位址 94B 也就有兩個對應的位元模式。若是圖七中的記憶模組 80A、80B 具有相同的記憶容量，兩記憶模組累計的總記憶容量也會是  $2^N$  之形式，這樣就會使結尾位址 130B 中僅有一個位元為「1」，也僅對應於單一一個位元模式。同理，結尾位址 130C 中累計了記憶模組 80A 至 80C 的記憶容量，故結尾位址 130C 中可能會有一到三個位元為「1」。而結尾位址 130D 中則可能有一到四個位元為「1」，故結尾位址 130D 對應的位元模式也可能有一到四個。當然，在特殊情形下，部分結尾位址中也可能沒有「1」，舉例來說，若使用者在可裝設四個記憶模組的電腦 60 (見圖四) 中僅裝設了三個記憶模組，就相當於在電腦 60 的四個記憶模組中，有一個記憶模組的記憶容量為 0，此時某



## 五、發明說明 (37)

些結尾位址中也可能沒有位元之值為「1」。但此種情形並不影響上述的討論及本發明之實施。

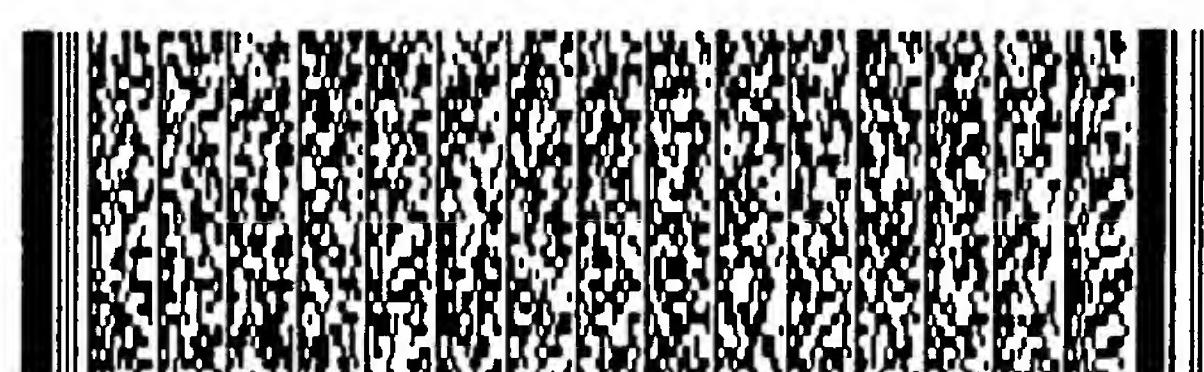
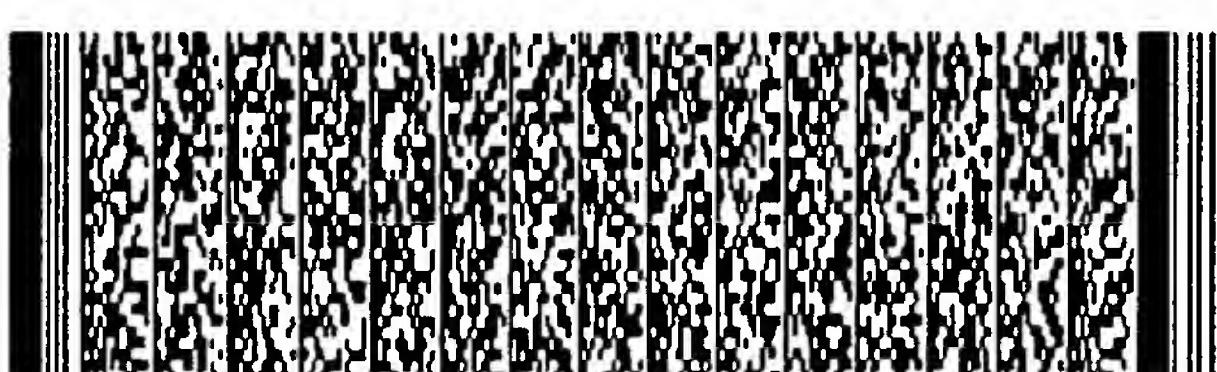
由上面討論可知，當記憶模組 80A至 80D之個別記憶容量有特定的相互關係時，各結尾位址中可能都僅有一個位元之值為「1」，並分別僅對應於一位元模式。關於此情形，請參考圖八 A及八 B。圖八 A為本發明於另一種記憶模組配置下，各結尾位址 134A至 134D、各位元模式 136A至 136D之示意圖；而圖八 B則是控制電路 78在圖八 A之配置下，實施本發明初步位址解碼之功能方塊示意圖；為了精簡說明，在圖八 B中標號和圖六 B中標號相同的元件、方塊，也具有同樣的功能與運作方式。在圖八 A、八 B的例子中，記憶模組 80A至 80D分別有 64百萬位元、64百萬位元、128百萬位元及 256百萬位元的記憶容量，各記憶模組中的記憶單元會被依序指派至遞增的位址；而各記憶單元之位址序列就由位址 132A遞增至位址 132B、132C、132D，最後遞增至位址 132E，並定義出結尾位址 134A至 134D，如圖八 A中所示。由於各記憶模組的記憶容量配置的相互關係，使得結尾位址 134A至 134D中，各結尾位址均只有一個位元為「1」。因為記憶模組 80A、80B具有相同的記憶容量，使得兩記憶模組的記憶容量總和剛好也是 2的乘幕，故結尾位址 134B中僅有一個「1」。同理，記憶模組 80A至 80C三者記憶容量的總和為 256百萬位元，剛好又成為 2的乘幕，讓結尾位址 134C中



## 五、發明說明 (38)

又僅有一個「1」。而記憶模組 80A至 80D總共 512百萬位元的記憶容量，也使結尾位址 134D中僅有一個位元為「1」。既然各結尾位址 134A至 134D均只有一個「1」，故各結尾位址對應的位元模式也僅有一個，分別就是圖八 A中標出的位元模式 136A至 136D。如圖八 B所示，在圖八 A中的記憶模組配置下，控制電路 78中的比較模組 111A至 111D只要分別實現比較單元 138A至 138D的功能，將暫存於存取模組 101中的給定位址 104分別和位元模式 136A至 136D比對，就能由邏輯模組 100根據各比較模組的比較結果產生對應的解碼結果 102。在圖八 B中也假設了給定位址 104是和圖六 A中給定位址之值相同，代表其對應於記憶裝置 66中第  $(2^{28}+2^{25}+1)$  個記憶單元。由圖八 B中可知，此給定位址 104不 符合位元模式 136A至 136C，僅符合位元模式 136D，代表該給定位址在圖八 A中的記憶模組配置下，是屬於記憶模組 80D。

雖然前述由圖五至圖八 B的例子都是在討論本發明如何判斷給定位址所屬的記憶模組，但本發明的精神當然也可推廣，以進一步判斷給定位址所屬的直列記憶陣列。如前所述，現行的記憶模組中一般都設有兩行直列記憶陣列；像是在雙直列記憶模組 (DIMM, Double Inline Memory Module) 中，記憶單元就是平均分佈於兩個直列記憶陣列中。而在進行位址指派時，就可將同屬一直列記憶陣列的記憶單元依序對應至遞增的位址；這



## 五、發明說明 (39)

樣一來，也就可對各直列記憶陣列定義出對應的結尾位址，並應用本發明的精神，利用結尾位址算出對應的位元模式，再以位元模式比對的方式進行初步位址解碼，判斷給定位址屬於哪一個直列記憶陣列。關於此情形，請參考圖九A。圖九A為本發明運用於上述應用時，位址指派、結尾位址、位元模式相關情形示意圖。在圖九A中，假設各記憶模組80A至80D的記憶容量分別是32百萬、128百萬、256百萬及64百萬位元（就跟圖五中一樣），且各記憶模組中的記憶單元均平均分配於各記憶模組的兩個直列記憶陣列中。舉例來說，記憶模組80A總共有32百萬( $2^{25}$ )位元的記憶容量，其兩個直列記憶陣列就分別具有16百萬位元的記憶容量。而在開機之初進行位址指派時，就可先將 $2^{24}$ 個依序遞增的位址先指派給屬於同一直列記憶陣列的記憶單元，在將次 $2^{24}$ 個位址指派給另一直列記憶陣列中的各記憶單元。就像圖九A中所示，在記憶模組80A中，由位址140A遞增至位址140B的 $2^{24}$ 個位址，會先被指派至同一直列記憶陣列的16百萬位元（像是對應於控制訊號CS0的直列記憶陣列，請一併參考圖四）。記憶模組80A中另一直列記憶陣列（像是對應於控制訊號CS1的直列記憶陣列）中的各記憶單元，則被對應於由位址140C遞增至位址140D的 $2^{24}$ 個位址。同理，在總記憶容量為128百萬位元的記憶模組80B中，由位址140E遞增至位址140F的 $2^{26}$ 個位址會先被指派至同一直列記憶陣列（像是對應於控制訊號CS2的直列記憶陣



## 五、發明說明 (40)

列) 的 64 百 萬 位 元 , 由 位 址 140G 依 序 遞 增 至 位 址 140H 的 另 外  $2^{26}$  個 位 址 , 則 會 被 指 派 至 另 一 直 列 記 憶 陣 列 ( 像 是 對 應 於 控 制 訊 號 CS3 的 直 列 記 憶 陣 列 ) 的 64 百 萬 位 元 , 以 此 類 推 。

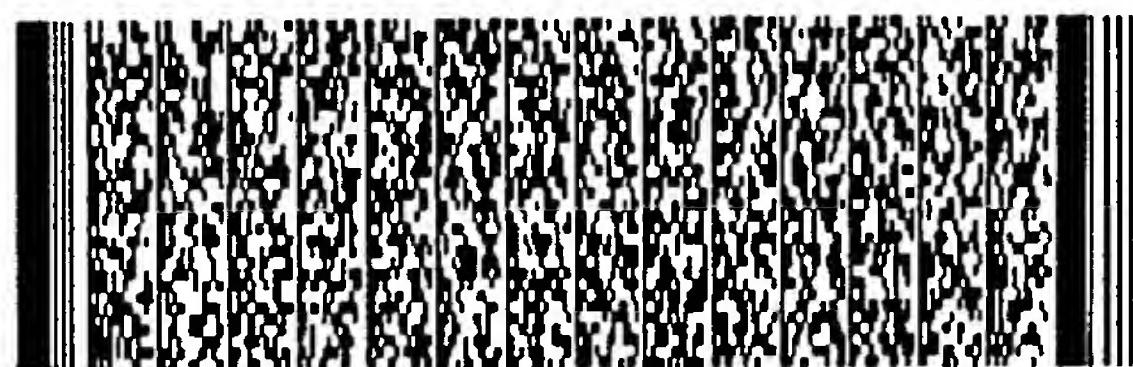
在 上 述 的 位 址 指 派 後 , 就 可 將 針 對 每 一 直 列 記 憶 陣 列 定 義 出 一 個 結 尾 位 址 , 而 每 一 結 尾 位 址 也 就 會 具 有 其 對 應 的 位 元 模 式 。 圖 九 A 中 的 結 尾 位 址 141 至 148 , 就 分 別 對 應 於 各 記 憶 模 組 中 的 各 個 直 列 記 憶 陣 列 。 舉 例 來 說 , 若 一 級 定 位 址 不 小 於 結 尾 位 址 142 , 但 又 小 於 結 尾 位 址 143 , 該 級 定 位 址 必 定 屬 於 記 憶 模 組 80B 中 的 第 一 個 記 憶 陣 列 ; 若 級 定 位 址 不 小 於 結 尾 位 址 143 但 小 於 結 尾 位 址 144 , 則 代 表 級 定 位 址 屬 於 記 憶 模 組 80B 中 的 第 二 個 記 憶 陣 列 。 而 根 據 本 發 明 的 精 神 , 就 可 針 對 各 結 尾 位 址 141 至 148 推 導 出 對 應 的 位 元 模 式 。 像 圖 九 A 中 的 位 元 模 式 151A 、 152A 就 分 別 對 應 於 結 尾 位 址 141 、 142 。 同 理 , 小 於 結 尾 位 址 143 的 位 址 , 必 定 會 符 合 位 元 模 式 153A 或 153B 。 而 結 尾 位 址 144 、 145 , 也 分 別 有 對 應 的 位 元 模 式 154A 、 154B 及 155A 、 155B 。 就 如 前 面 討 論 過 的 , 結 尾 位 址 146 中 的 三 個 「 1 」 使 其 有 三 個 對 應 的 位 元 模 式 156A 至 156C 。 小 於 結 尾 位 址 147 的 位 址 , 則 會 符 合 位 元 模 式 157A 、 157B 或 157C 其 中 之 一 。 最 後 , 結 尾 位 址 148 中 四 個 值 為 「 1 」 的 位 元 , 代 表 其 對 應 了 四 個 位 元 模 式 158A 至 158D 。 請 注意 圖 九 A 中 的 位 元 模 式 已 經 過 簡 化 , 就 如 圖 六



## 五、發明說明 (4)

B中的例子。就像前面討論過的，若一給定位址符合一結尾位址對應的位元模式之一，就代表該給定位址小於該結尾位址。比對給定位址是否符合各個結尾位址對應的位元模式，就能判斷出給定位址所屬的直列記憶陣列。

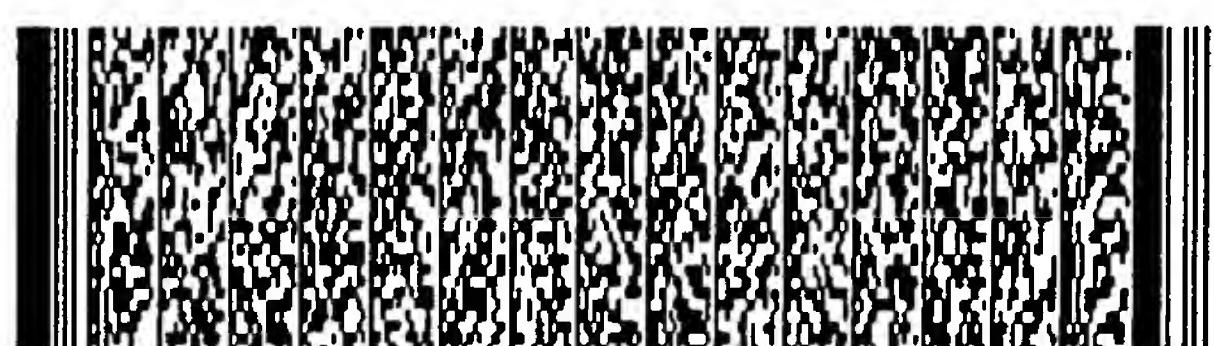
請繼續參考圖九B；圖九B即是控制電路78根據圖九A中各位元模式實現初步位址解碼的功能方塊示意圖。在控制電路78中，控制電路78會在開機時將位址指派給各記憶單元，而模式計算模組116就能計算出結尾位址與對應之位元模式；存取模組101用來暫存給定位址104，而控制電路78中的各個比較模組161至168就是分別用來判斷給定位址104是否小於各直列記憶陣列對應之結尾位址141至148（請一併參考圖九A）。而各比較單元中則設有比較單元170，各比較單元用來比對給定位址104是否符合一位元模式。舉例來說，比較單元168中設有四個比較單元170，分別用來比較給定位址104是否符合對應於結尾位址148的四個位元模式158A至158D；這四個比較單元的比較結果會以一或運算模組160進行或運算，代表給定位址104只要符合位元模式158A至158D其中之一，比較模組168就會判斷給定位址小於結尾位址148。另外，像是用來判斷給定位址104是否小於結尾位址142的比較模組162，由於結尾位址142本身僅對應於一個位元模式152A，故比較模組162中僅設有一比較單元170，也不需要或運算模組了。就像圖六B中的例子，圖九B中也假設



## 五、發明說明 (42)

給定位址 104之值為「0010010…0」，在此實例下，比較模組 161至 168的輸出分別是「偽」、「偽」、「偽」、「偽」、「偽」、「真」、「真」、「真」，代表此給定位址 104不 小 於 結 尾 位 址 141至 145，而 小 於 結 尾 位 址 146至 148。根據各比較模組 161至 168上述的輸出結果，邏輯模組 100就能判斷出給定位址 104是屬於記憶模組 80C 的第二個直列記憶陣列。事實上，上述值為「0010010…0」之給定位址 104，恰好是記憶模組 80C中分配至第二直列記憶陣列的第一個位址，就如圖九 A中所示。

在習知之位址解碼技術中，是將給定位址與各結尾位址相減，以判斷出給定位址與結尾位址之間的大小關係，並進一步判斷出給定位址屬於哪一個記憶模組（或直列記憶陣列），以完成初步的位址解碼。但在將給定位址於結尾位址相減而進行二進位之加運算時，由於各位元之加運算必需等待前一位元的進位，故整個將給定位址於結尾位址相減之運算只能針對兩位址中的每一位元一個接著一個地一進行加運算，其所消耗的時間，也就是各位元加運算所需時間之累計結果。故習知技術中進行初步位址解碼所需消耗的時間較長，也就比較沒有效率。相較之下，本發明則是以位元模式比對的方式來進行初步位址解碼；以本發明揭露之技術，可由一結尾位址中推導出一或多個對應的位元模式；只要給定位址符合這些位元模式的其中一個，就能判斷給定位址小於



## 五、發明說明 (43)

該結尾位址。由於在位元模式比對時，可同時比對位元模式中具有固定值之複數個位元是否與給定位址中的對應位元相同，不論要比對幾個位元，其所需的時間基本上就跟比對單一位元所需的時間相同。故本發明能快速地進行初步位址解碼，以較高的效率比對出給定位址屬於哪一個記憶模組或是直列記憶陣列，並進而提升整個以電腦系統對記憶資源存取的效率。本發明可用硬體或以控制電路執行軟體程式來實施；另外，在某些位址指派方式中，是將遞減的位址指派至記憶裝置中的不同記憶單元，像是以「11…111」、「11…110」、「11…101」的同數位址依序指派至不同的記憶單元。而本發明之精神也還是能應用於此種情形，以位元模式比對的方式來進行快速的初步位址解碼。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明：

圖一為一典型電腦之功能方塊示意圖。

圖二為圖一中電腦對記憶裝置中各記憶單元位址指派之示意圖。

圖三為圖一中電腦以一習知方法進行初步位址解碼的功能方塊示意圖。

圖四為本發明中電腦之功能方塊圖。

圖五為圖四中電腦對記憶裝置中各記憶單元位址指派及相關位元模式之示意圖。

圖六 A、六 B為圖四中控制電路實現圖五中位元模式比對之功能方塊示意圖。

圖六 C為圖六 B中比較單元一實施例之功能方塊示意圖。

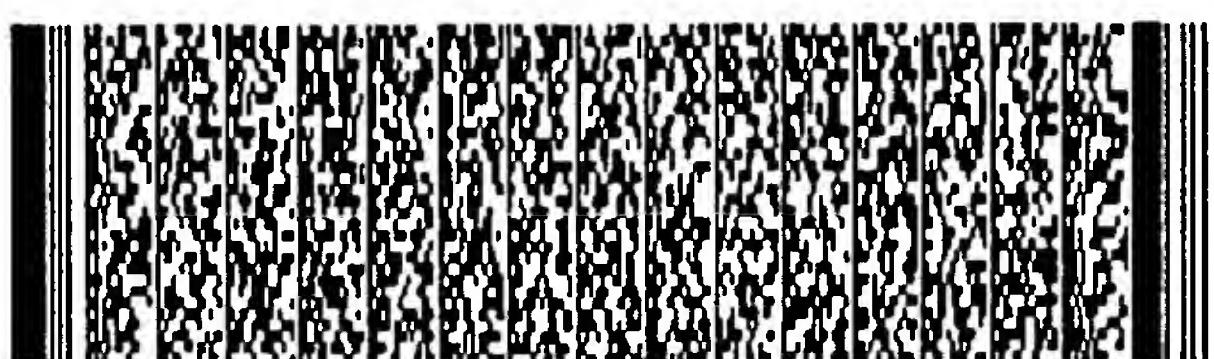
圖七為圖四中各記憶模組與對應結尾位址之關係示意圖。

圖八 A為圖四中記憶裝置在另一記憶模組配置下各記憶單元位址指派及相關位元模式之示意圖。

圖八 B為圖四中控制電路實現圖八 A中位元模式比對之功能方塊圖。

圖九 A為圖四中各直列記憶陣列之記憶單元位址指派及位元模式之關係示意圖。

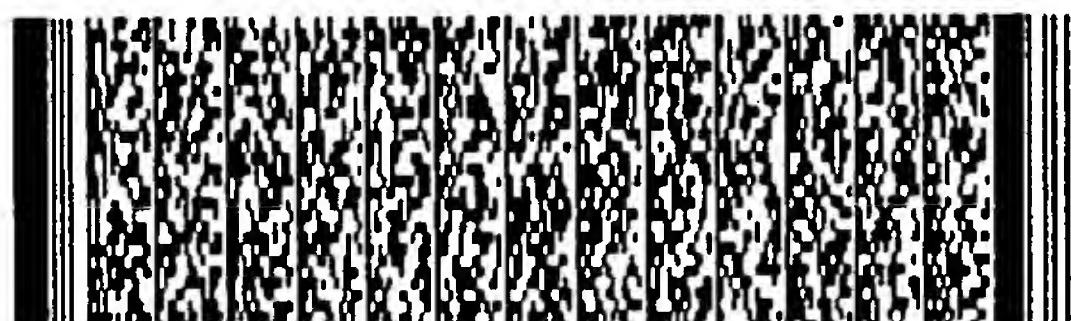
圖九 B為圖四中控制電路實現圖九 A中位元模式比對之功能方塊圖。



## 圖式簡單說明

### 圖式之符號說明：

|   |         |         |               |
|---|---------|---------|---------------|
| 10、60   | 電 腦     | 12、62   | 中 央 處 理 器     |
| 14、64   | 晶 片 組   | 16、66   | 記 憶 裝 置       |
| 18、68   | 顯 示 卡   | 20、70   | 顯 示 器         |
| 22、72   | 周 邊 裝 置 | 24、74   | 基 本 輸 出 入 系 統 |
| 26A、76A   | 北 橋 電 路 | 26B、76B | 南 橋 電 路       |
| 28、78   | 控 制 電 路 |         |               |
| 30A-30D、80A-80D   |         |         | 記 憶 模 組       |
| 32A-32B、82A-82B   |         |         | 直 列 記 憶 陣 列   |
| 34、84   | 記 憶 單 元 |         |               |
| 36A-36E、38A-38D、42A-42B、44A-44B、86A-86D、<br>88A-88D、90A-90F、92A-92D、132A-132E、140A-140I |         |         |               |
| 141-148   | 結 尾 位 址 |         |               |
| 48A-48B   | 減 法 模 組 | 50、100  | 邏 輯 模 組       |
| 51、101  | 存 取 模 組 | 52、102  | 解 碼 結 果       |
| 96A、97A-97B、98A-98C、99A-99D、136A-136D、<br>137A-158D                                     |         |         | 位 元 模 式       |
| 106A、108A-108B、110A-110C、112A-112D、<br>138A-138D、170                                    |         |         | 比 較 單 元       |
| 111A-111D、161-168   |         |         | 比 較 模 組       |



圖式簡單說明

114A-114C、160

或運算模組

116

模式計算模組

118A-118H、120A-120H

反及閘

122、124 及閘

129C-129D遮罩

CSp0-CSp7、CS0-CS7

控制訊號



## 六、申請專利範圍

1. 一種記憶體位址解碼的方法，以判斷一給定位址落於該記憶體的複數個區段之一，每一區段設有複數個記憶單元，且所有記憶單元之不同對應位址為二進位排列方式，該方法包含有：

根據該些對應位址，對每一區段分別取得至少一位元模組；以及

比較該給定位址的至少一比較位元與該些位元模組是否相符，並根據比較的結果，判斷該給定位址落於該些區段之一。

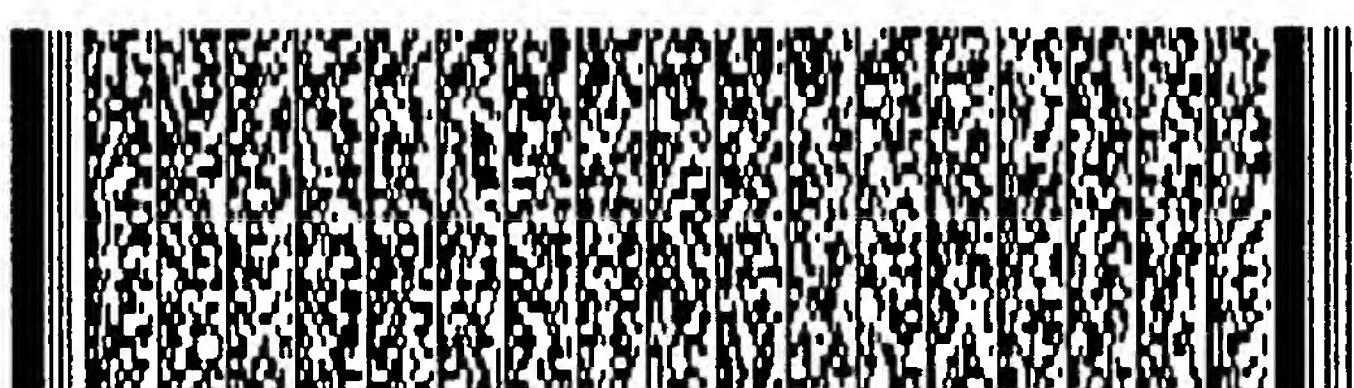
2. 如申請專利範圍第1項之記憶體位址解碼方法，其中該些區段係為複數個記憶模組。

3. 如申請專利範圍第1項之記憶體位址解碼方法，其中該些區段係為複數個直列記憶陣列，且偶數個大小相同直列記憶陣列構成一個記憶模組。

4. 如申請專利範圍第1項之記憶體位址解碼方法，其中對每一區段分別取得至少一位元模組，係由取該些區段內對應位址之全部相同位元，作為該些位元模組。

5. 如申請專利範圍第4項之記憶體位址解碼方法，其中該些比較位元完全不符合相同一個區段之所有位元模組，則表示該給定位址未落於該區段內。

6. 如申請專利範圍第4項之記憶體位址解碼方法，其中當該給定位址的該些比較位元之值符合相同一個區段之任一位元模組，則表示該給定位址不大於該區段之最大對應位址。



## 六、申請專利範圍

7. 如申請專利範圍第6項之記憶體位址解碼方法，其中根據比較的結果判斷該給定位址落於該些區段之一，係取該些比較位元之值符合相同一個區段之任一位元模組中，最大對應位址為最小的該區段，來判斷該給定位址落於該區段內。
8. 如申請專利範圍第1項之記憶體位址解碼方法，其中對每一區段分別取得至少一位元模組，係由取該些區段內對應位址之部分相同位元，作為該些位元模組。
9. 如申請專利範圍第8項之記憶體位址解碼方法，其中該些比較位元完全不符合相同一個區段之所有位元模組，則表示該給定位址未落於該區段內。
10. 如申請專利範圍第8項之記憶體位址解碼方法，其中當該給定位址的該些比較位元之值符合相同一個區段之任一位元模組，則表示該給定位址不大於該區段之最大對應位址。
11. 如申請專利範圍第10項之記憶體位址解碼方法，其中根據比較的結果判斷該給定位址落於該些區段之一，係取該些比較位元之值符合相同一個區段之任一位元模組中，最大對應位址為最小的該區段，來判斷該給定位址落於該區段內。
1. 一種記憶體位址解碼的控制電路，用來一給定位址是否落於該記憶裝置之複數個區段之一，每一區段設有複數個記憶單元，且所有記憶單元之不同對應位址為二進位排列方式，該控制電路包含有：



## 六、申請專利範圍

一模式計算模組，根據該些對應位址，對每一區段分別取得至少一位元模組；

一存取模組，接收該給定位址；以及

一比較模組，分別以該模組計算器提供之該些位元模組，與接收到該給定位址之至少一比較位元進行比較是否相符後，送出複數個比較信號。

13. 如申請專利範圍第12項之記憶體位址解碼的控制電路，更包括一邏輯模組，接收該些比較信號，送出一解碼結果，以判斷該給定位址落於該些區段之一。

14. 如申請專利範圍第12項之記憶體位址解碼的控制電路，其中該些區段係為複數個記憶模組。

15. 如申請專利範圍第12項之記憶體位址解碼的控制電路，其中該些區段係為複數個直列記憶陣列，且偶數個大小相同直列記憶陣列構成一個記憶模組。

16. 如申請專利範圍第12項之記憶體位址解碼的控制電路，其中該模式計算模組，對每一區段分別取得至少一位元模組，係由取該些區段內對應位址之全部相同位元，作為該些位元模組。

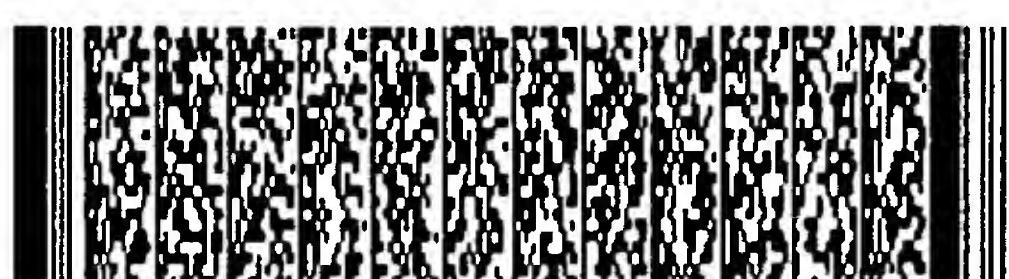
17. 如申請專利範圍第12項之記憶體位址解碼的控制電路，其中該模式計算模組，對每一區段分別取得至少一位元模組，係由取該些區段內對應位址之部分相同位元，作為該些位元模組。

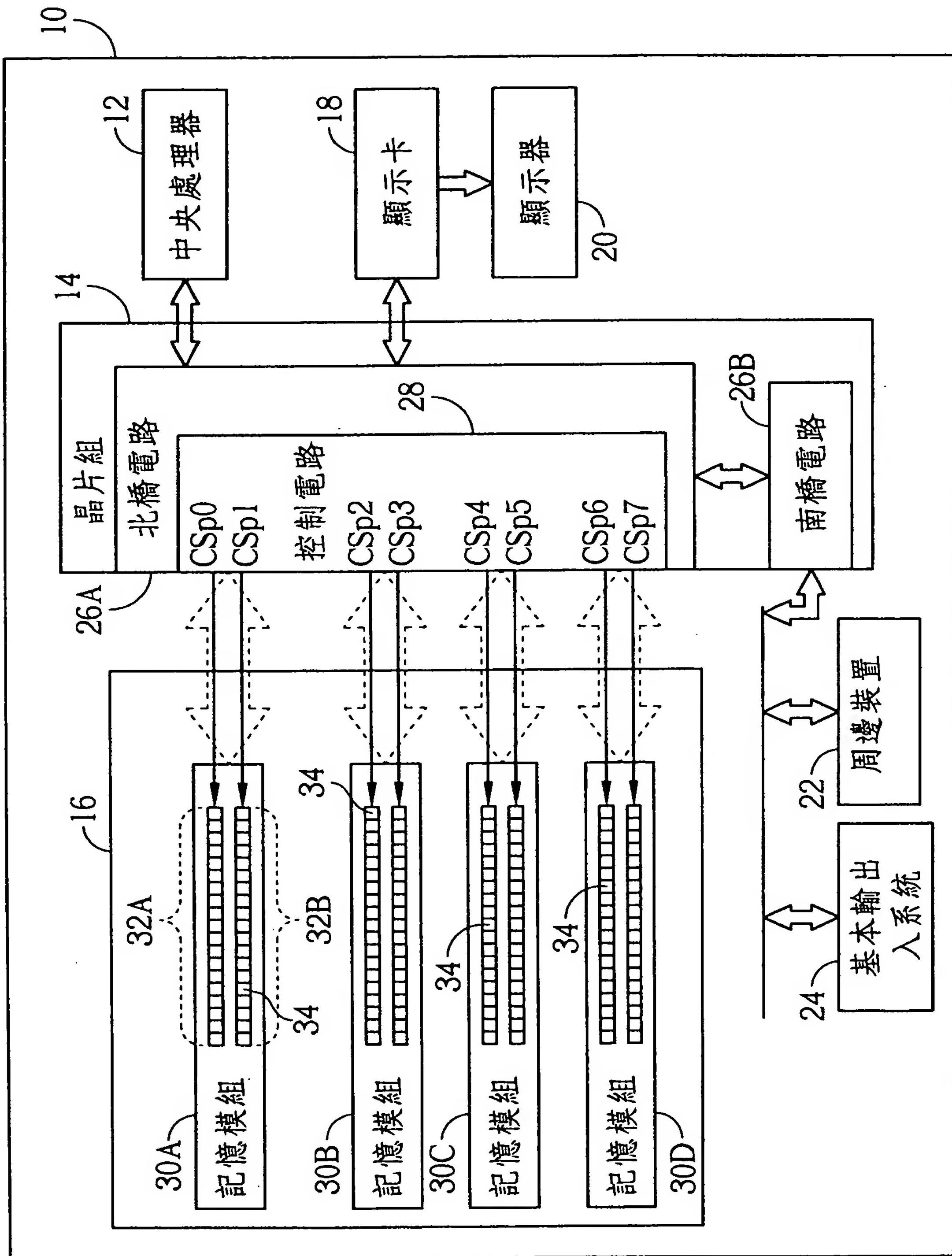
18. 如申請專利範圍第12項之記憶體位址解碼的控制電路，其中該比較模組係由複數個比較單位構成，每一



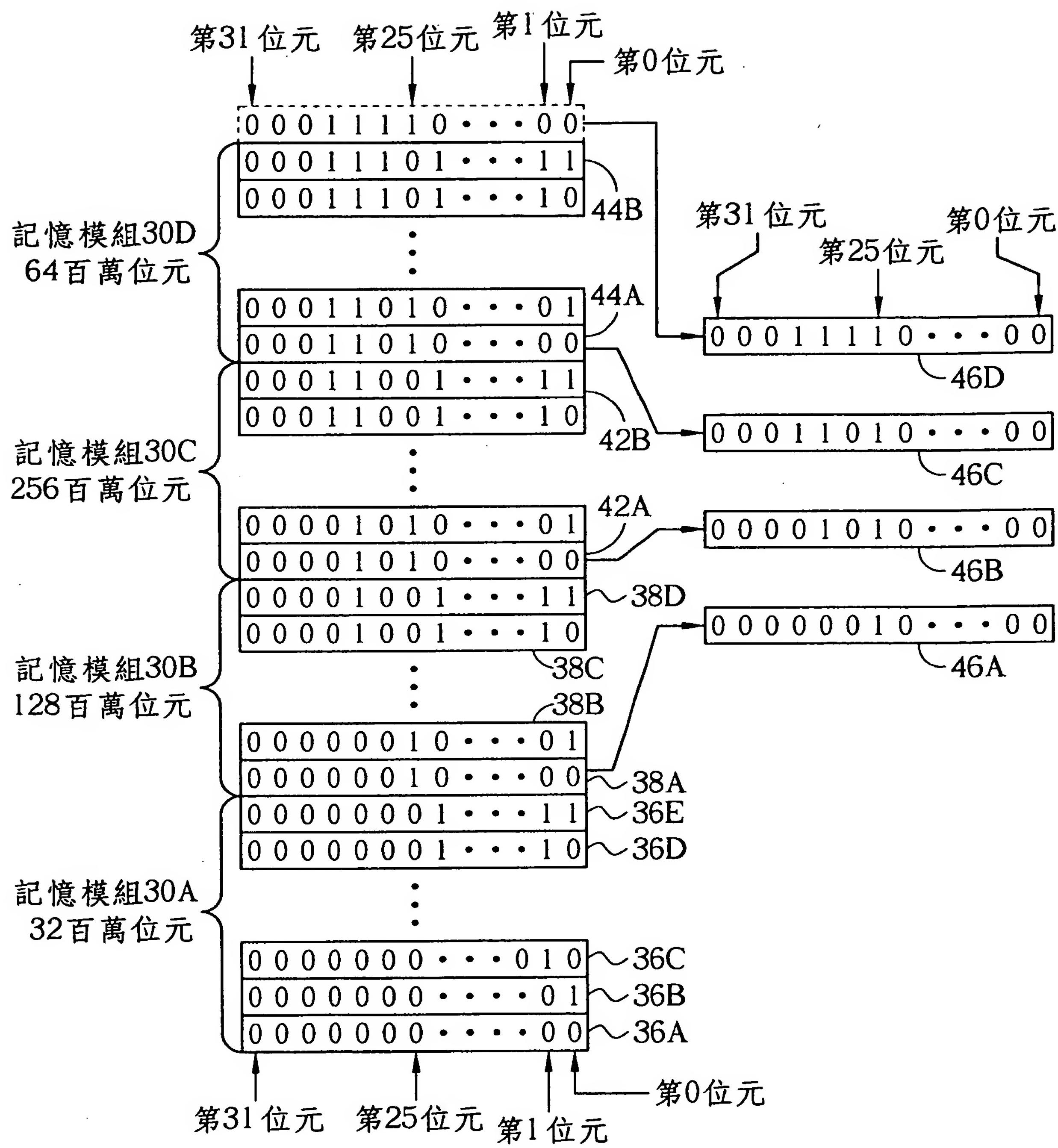
## 六、申請專利範圍

比較單位包括複數個反及閘與一及閘構成，每一反及閘具有兩輸入端分別接收該些位元模組之一個位元與對應到該給定位址之一位元，每一該反及閘之輸出端連接到該及閘之輸入端，該及閘之輸出端送出該比較信號。

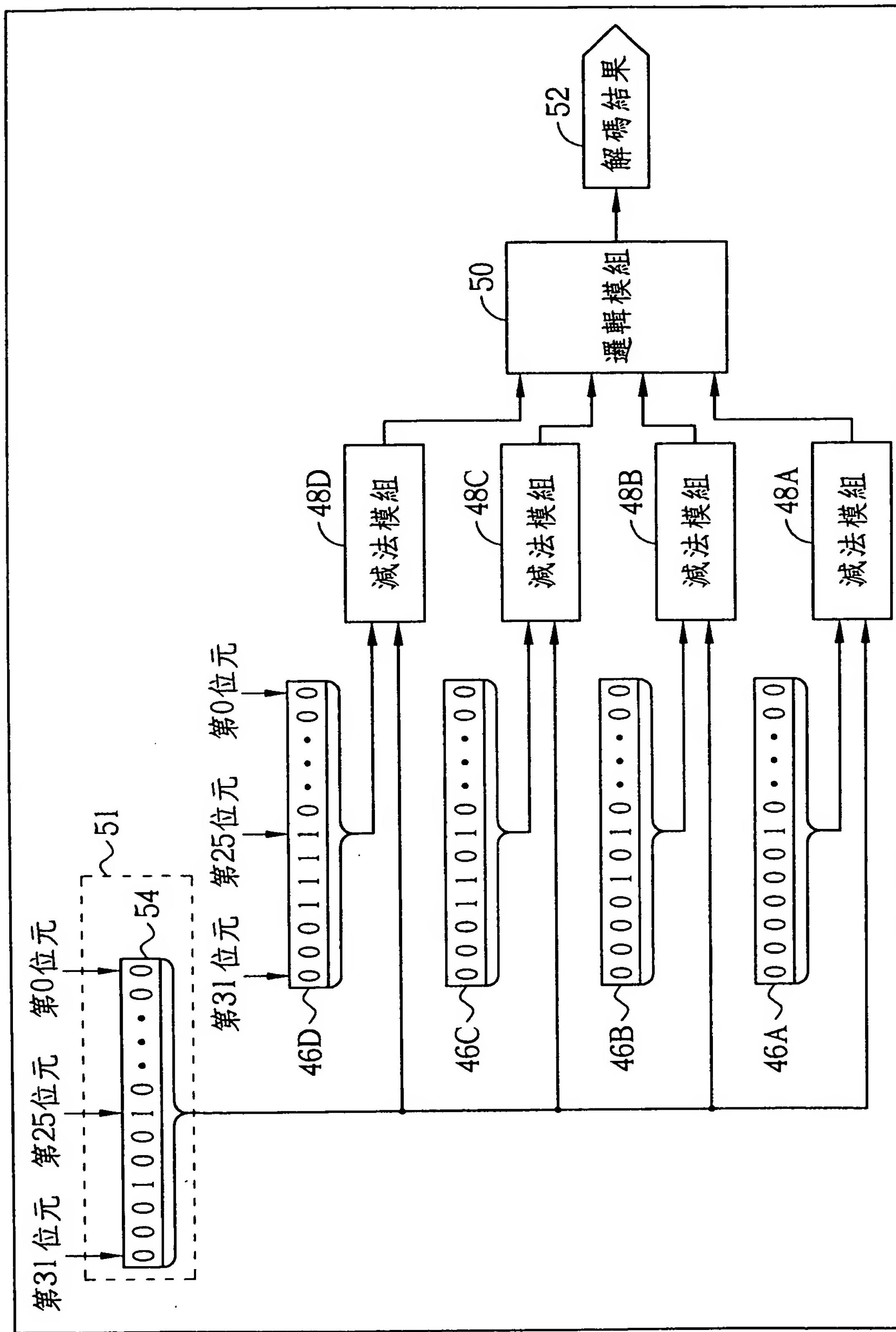




圖一



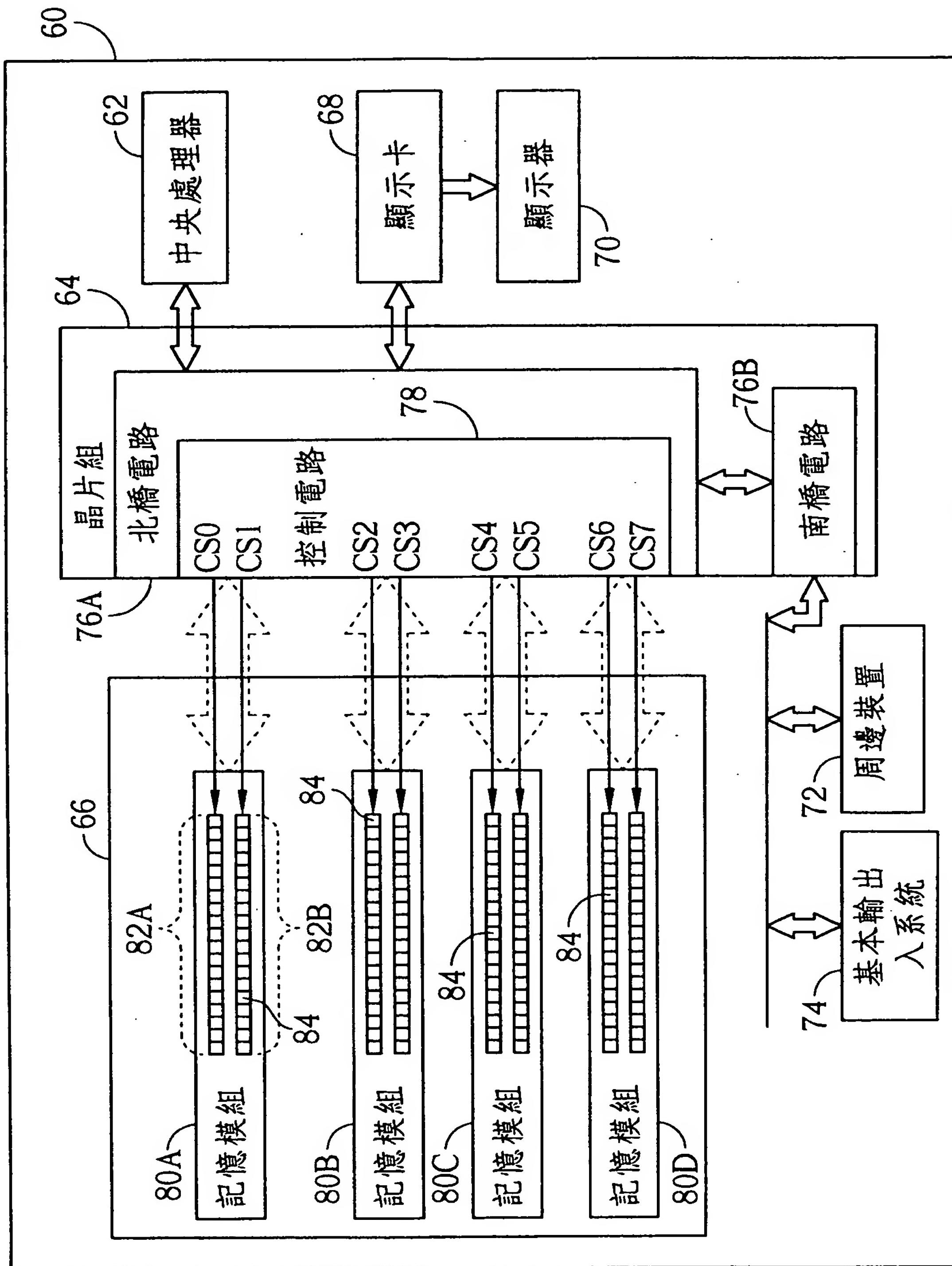
固二

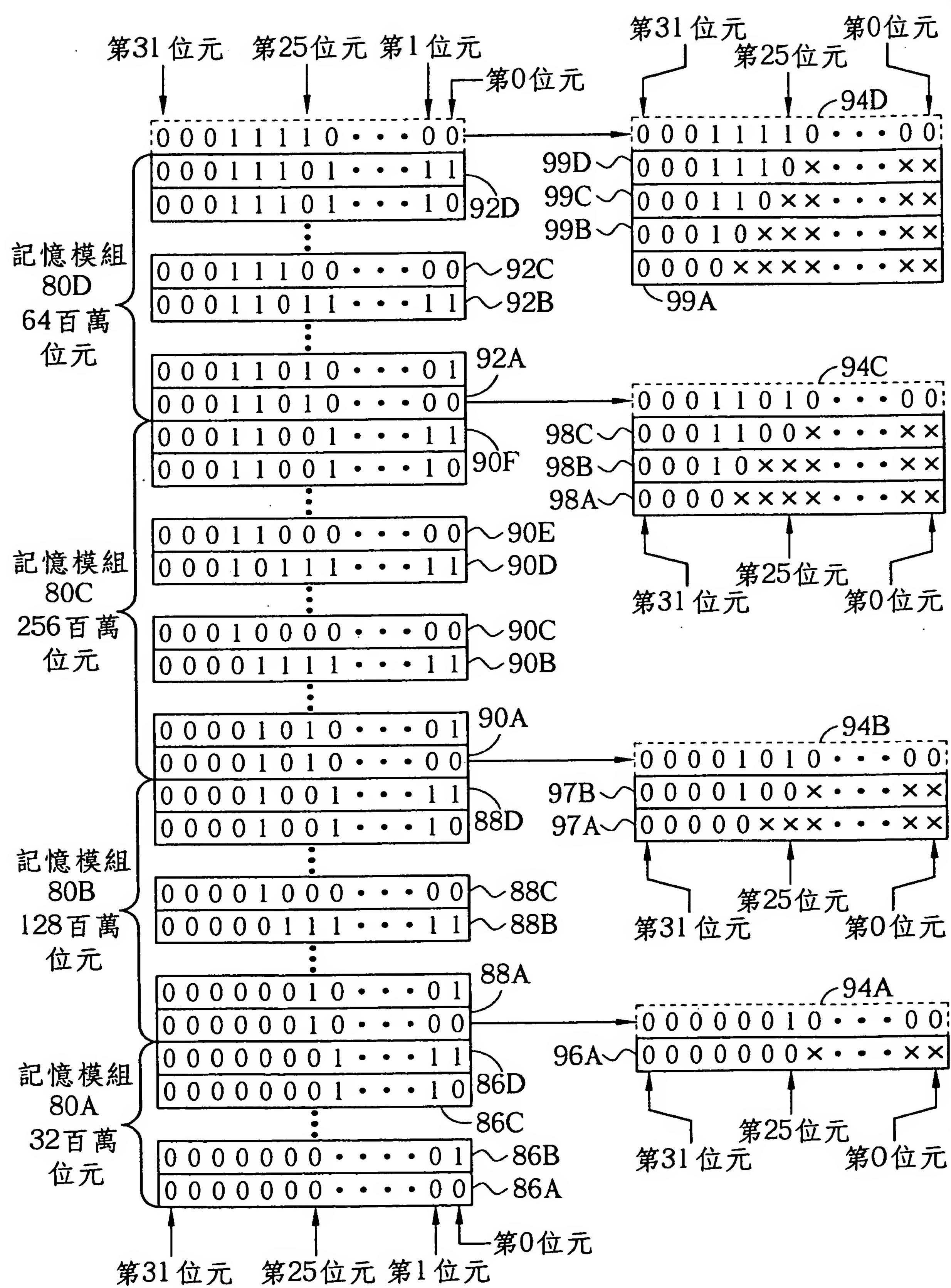


28

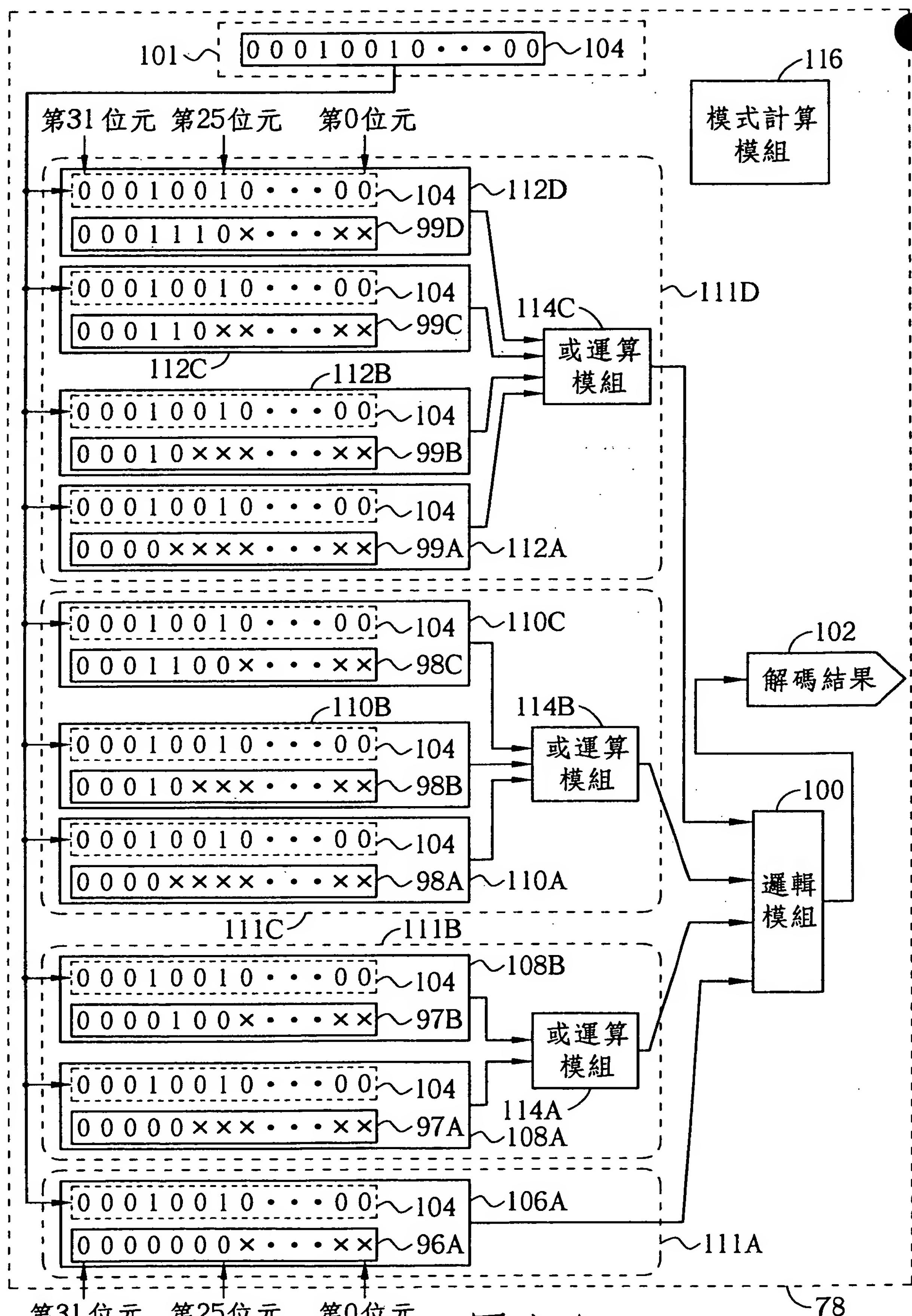
圖二

圖四

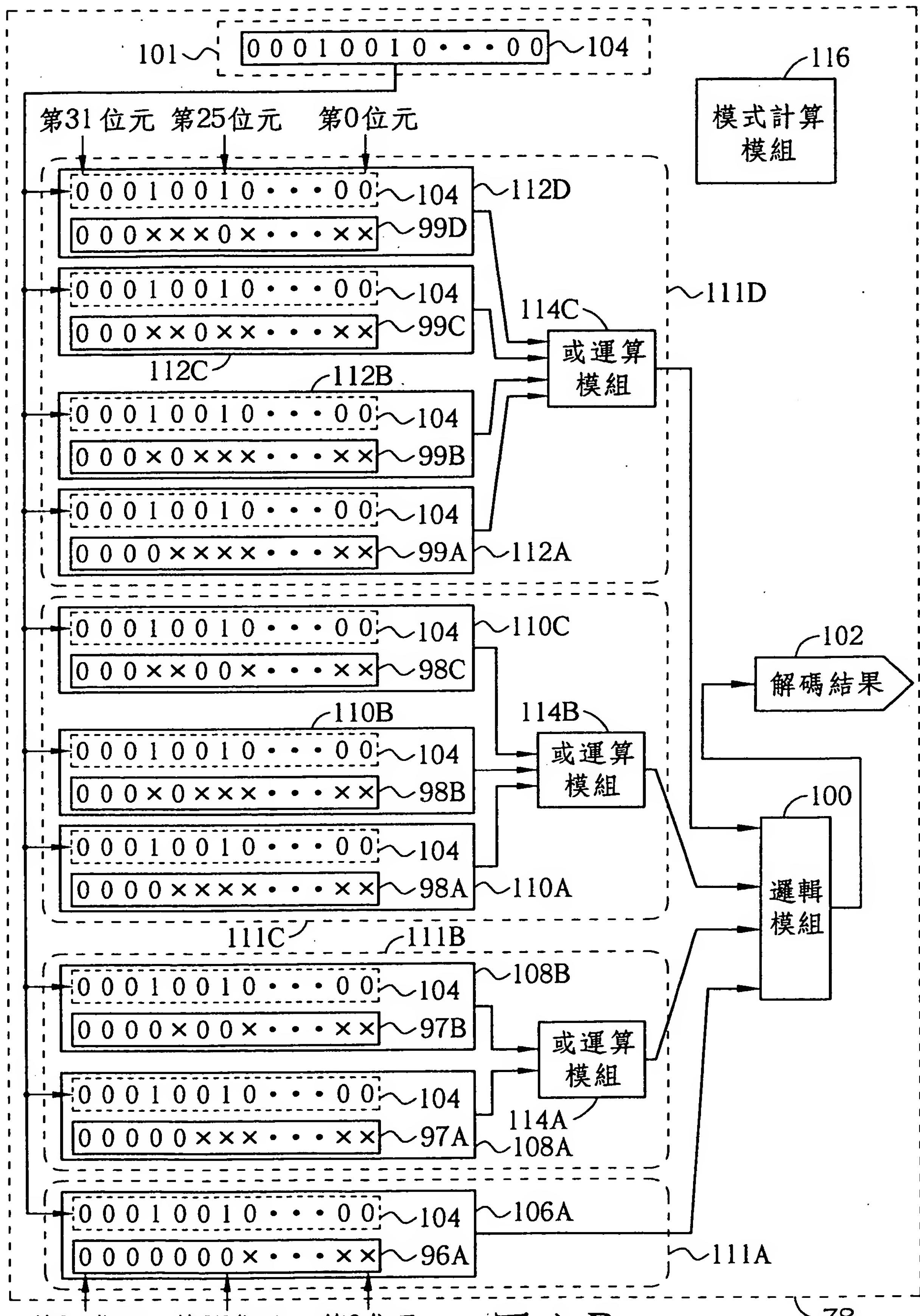




圖五

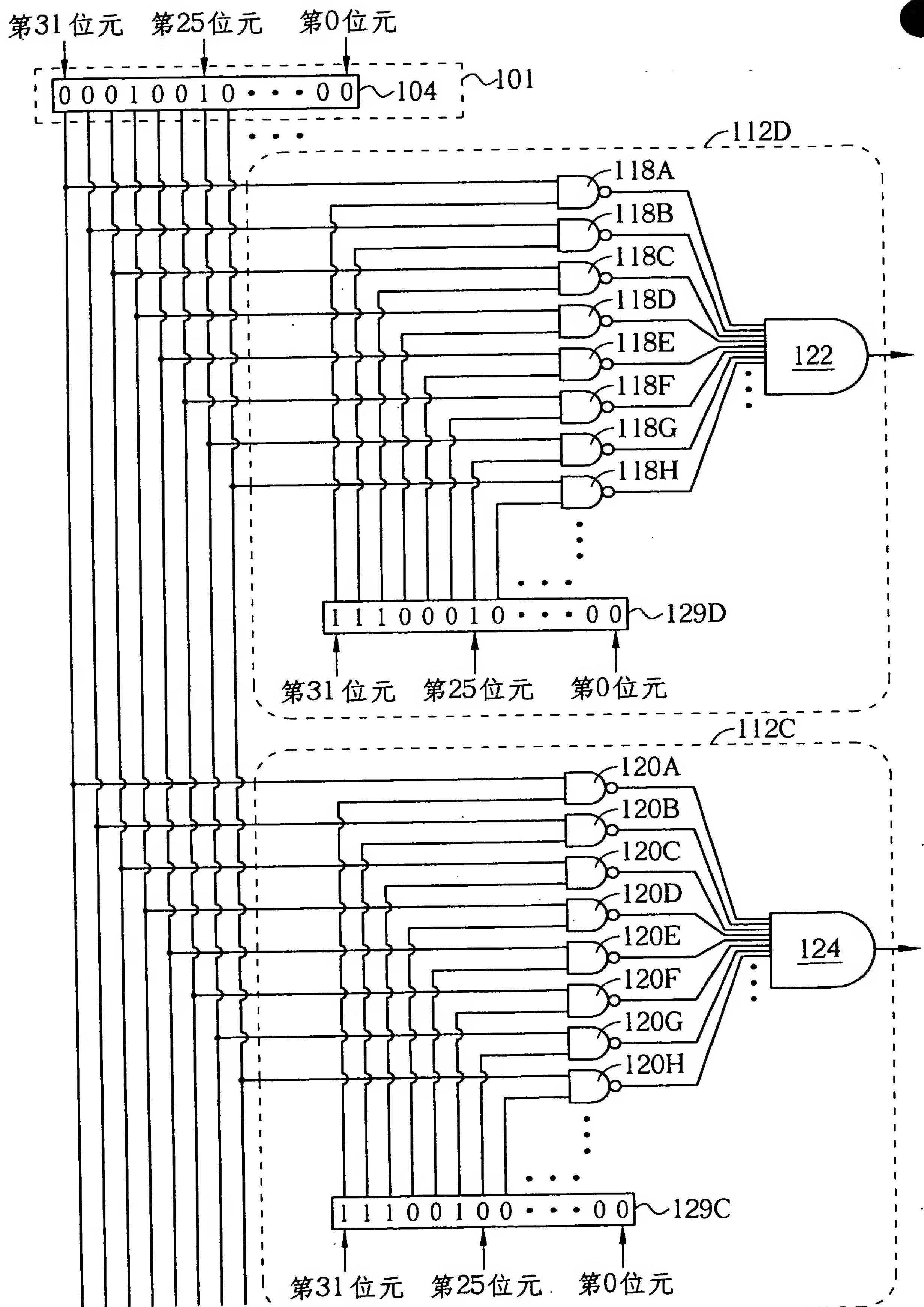


圖六A

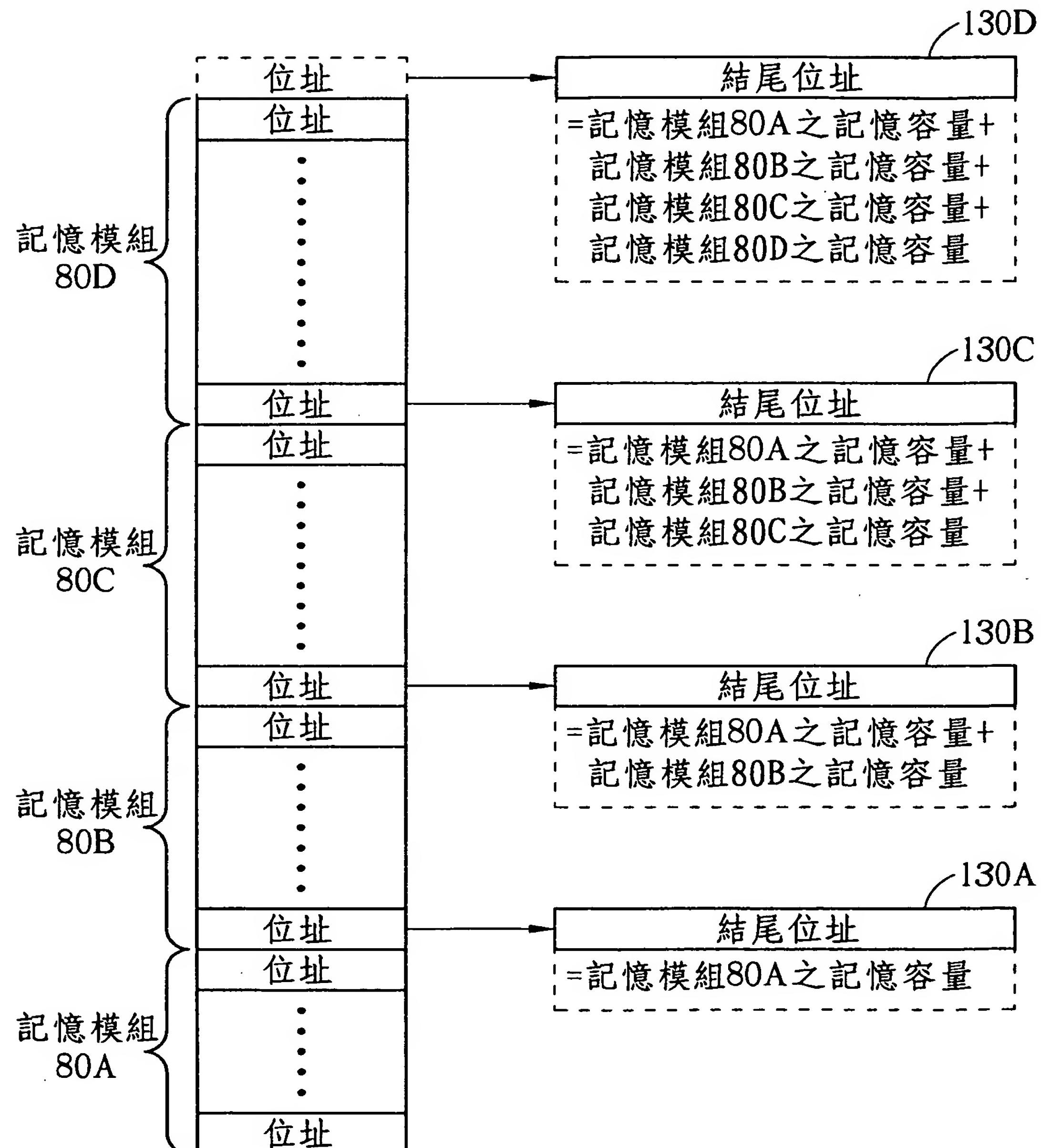


第31位元 第25位元 第0位元

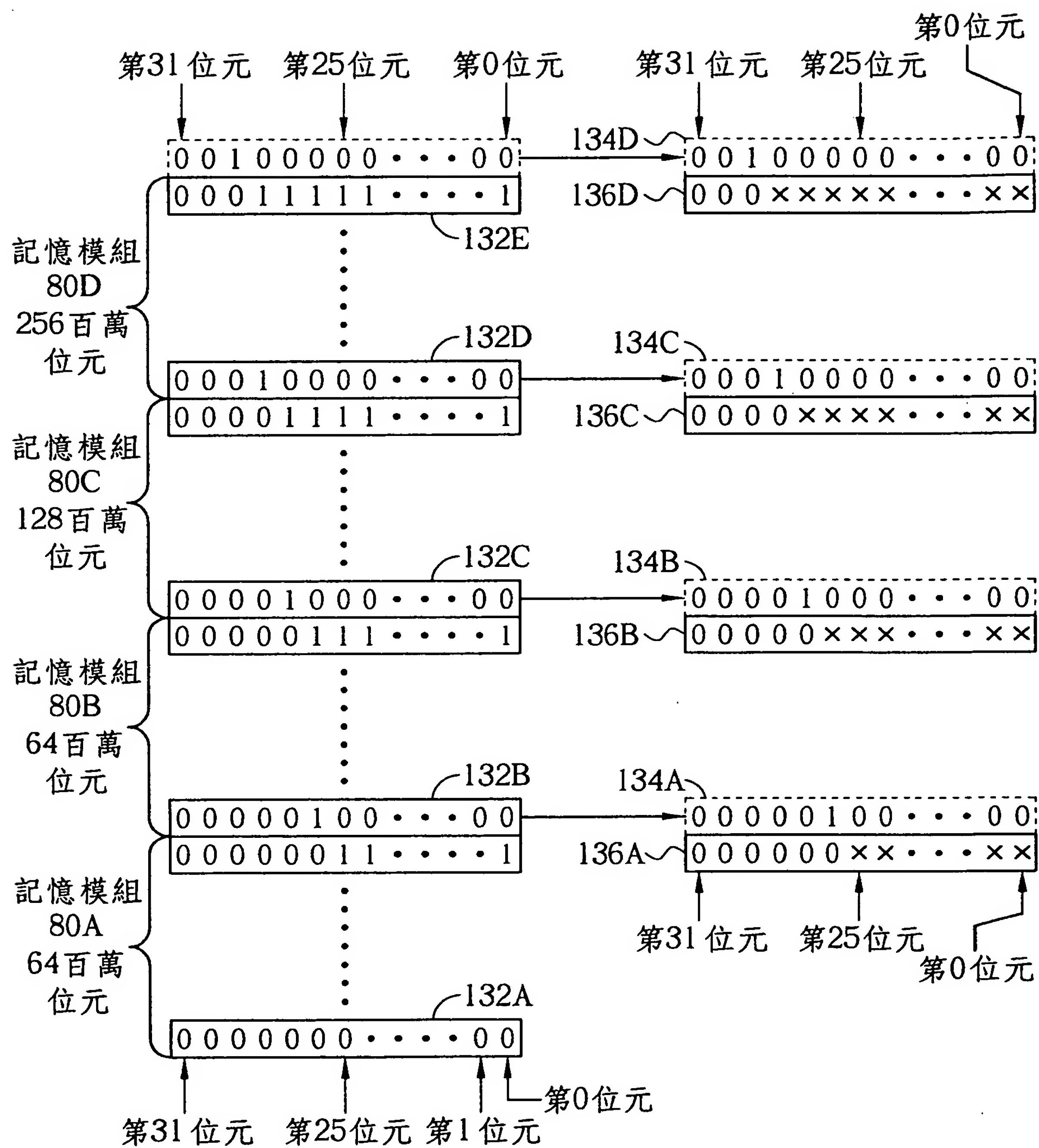
圖六B



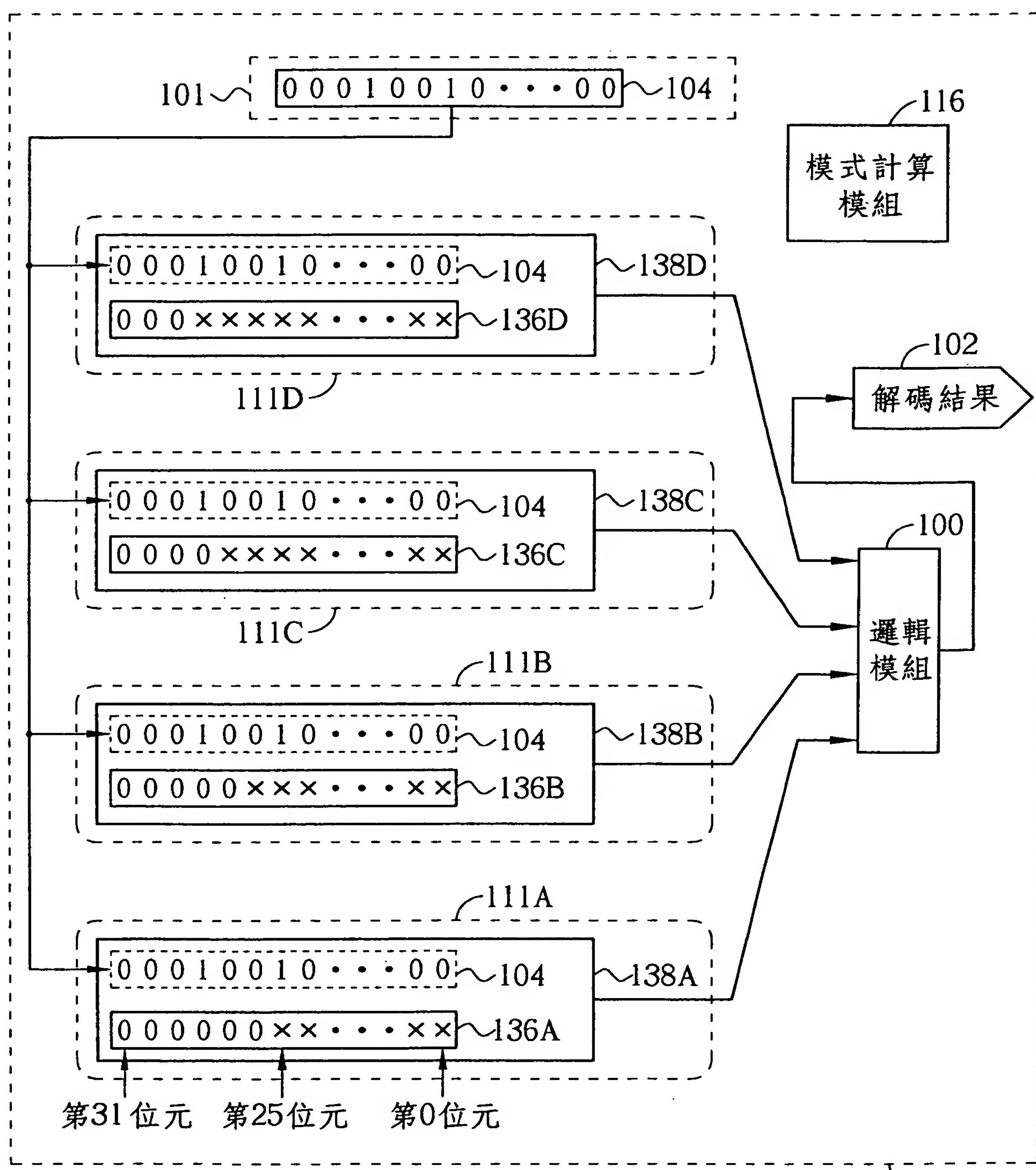
圖六C



圖七

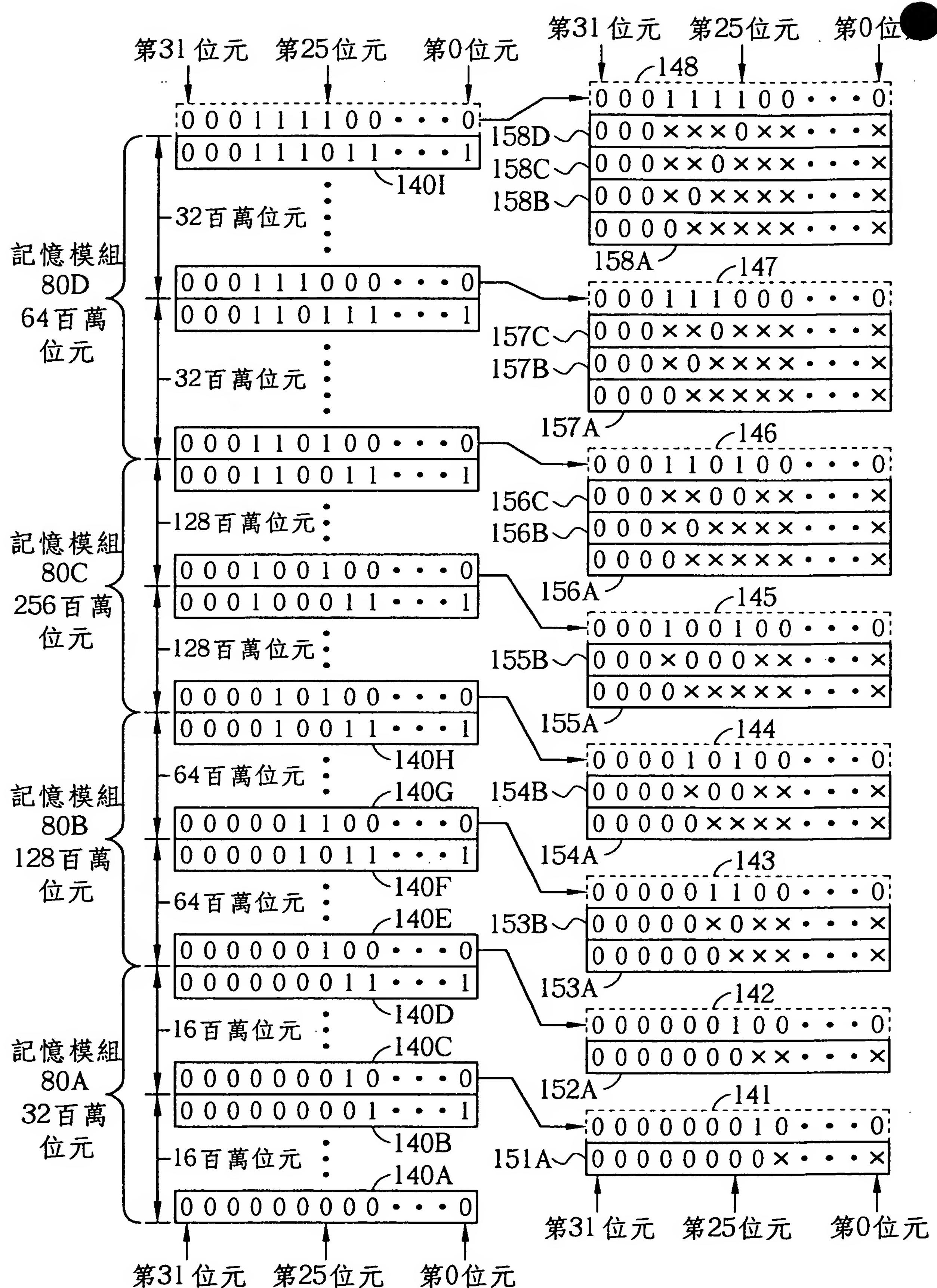


圖八 A

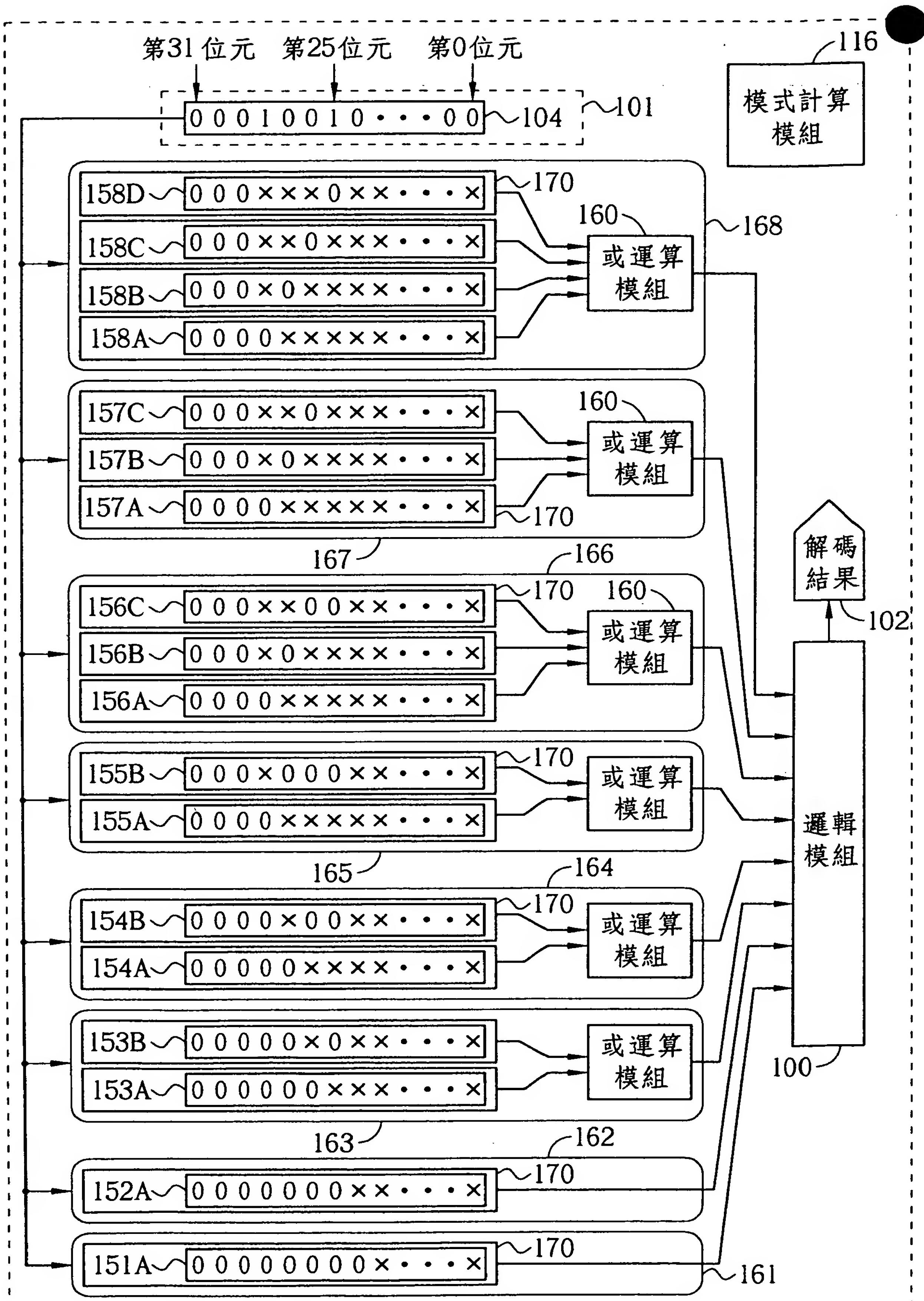


78

圖八B

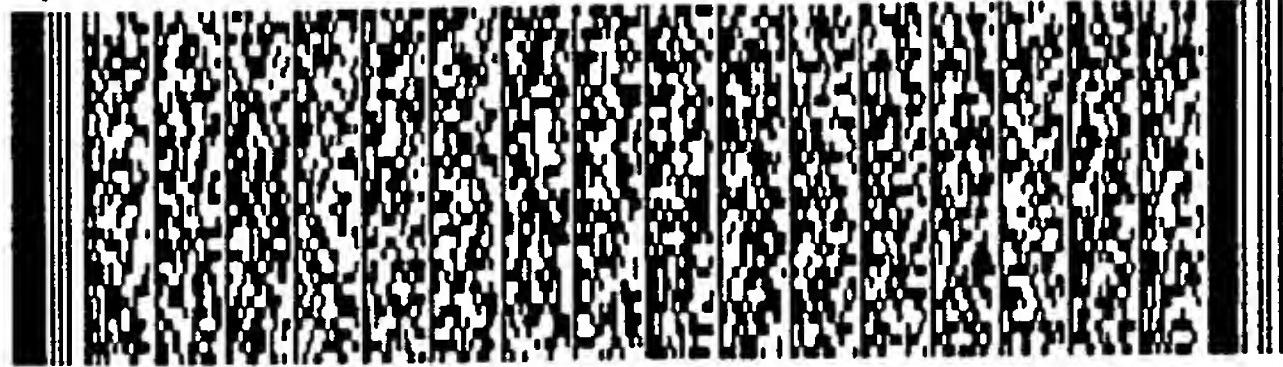


圖九A



申請案件名稱:以位元模式比對進行之記憶體位址解碼方法及相關裝置

第 1/54 頁



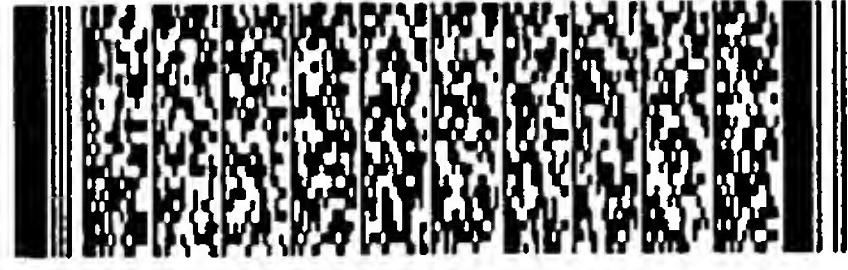
第 2/54 頁



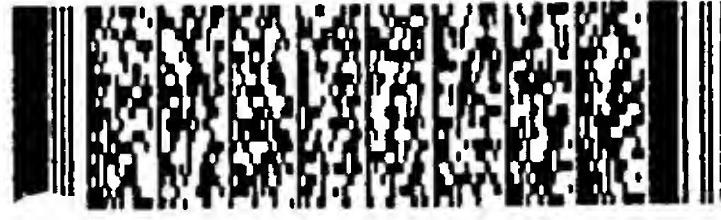
第 2/54 頁



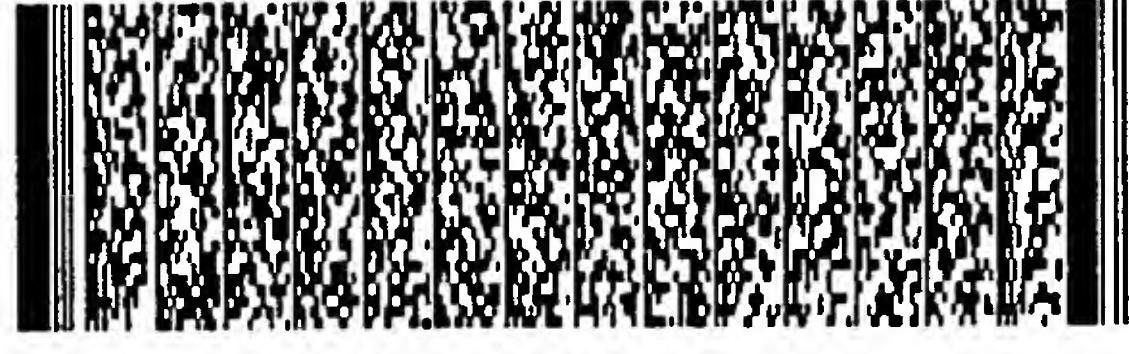
第 3/54 頁



第 4/54 頁



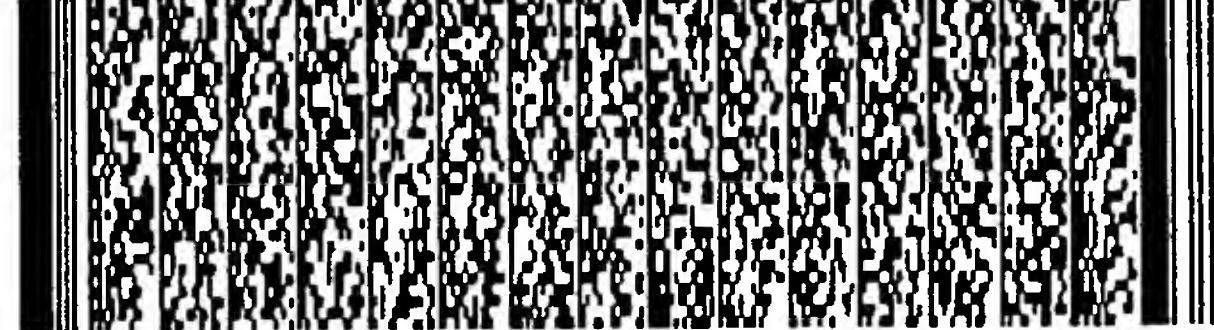
第 5/54 頁



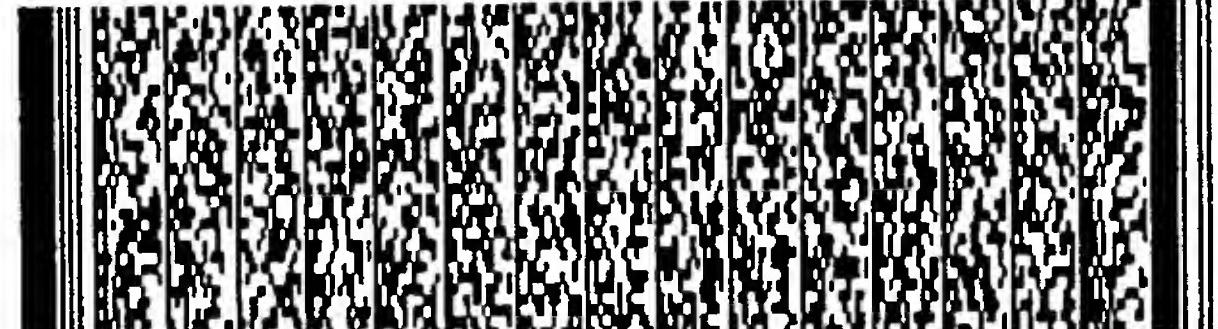
第 5/54 頁



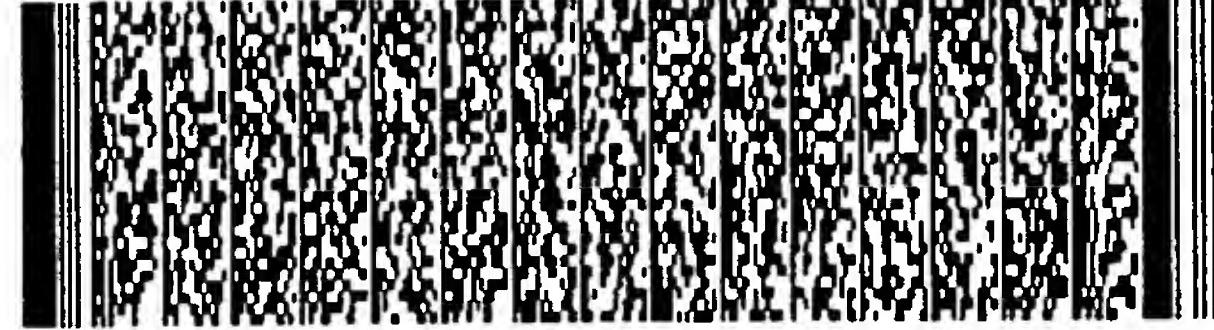
第 6/54 頁



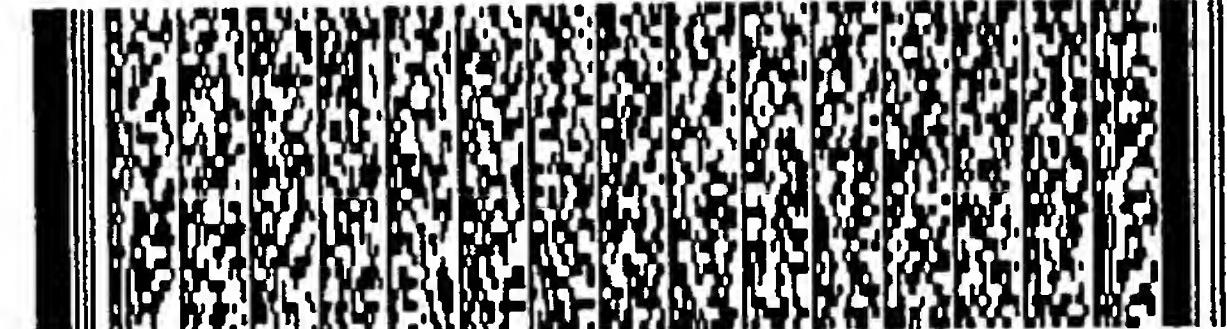
第 6/54 頁



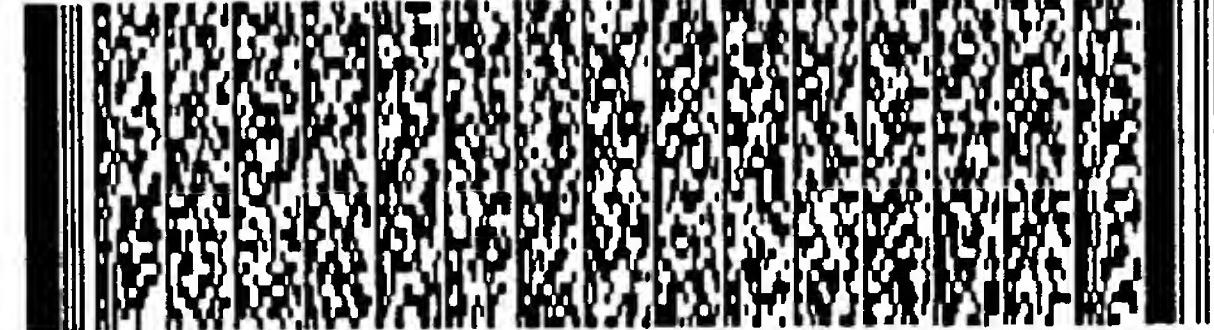
第 7/54 頁



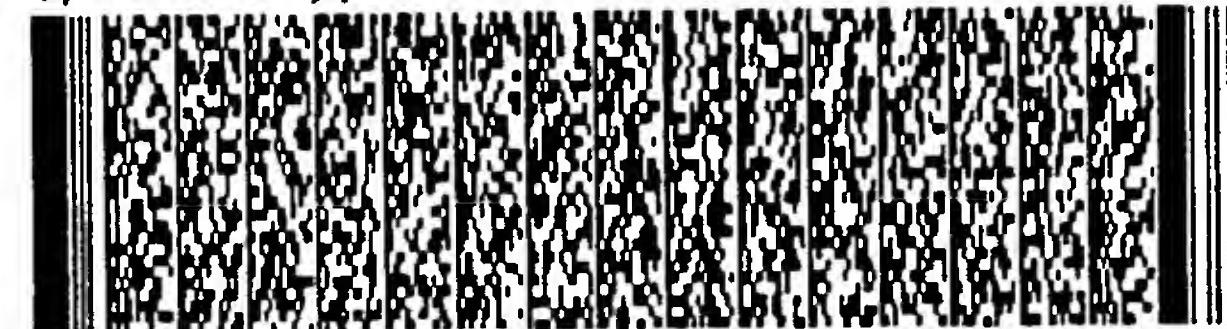
7/54 頁



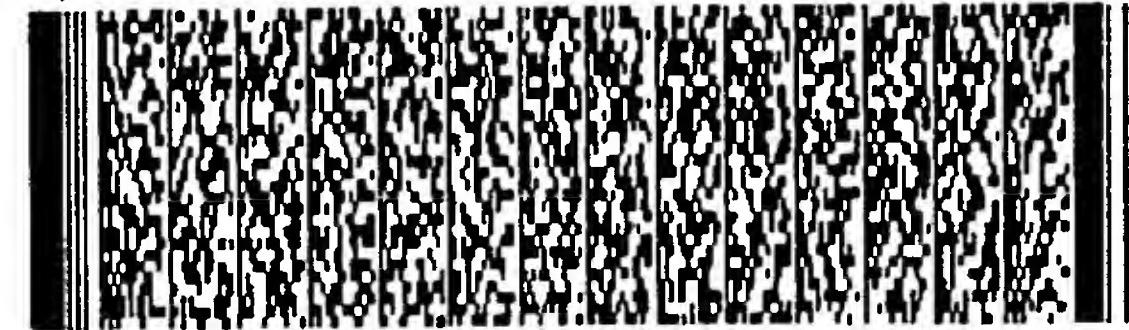
第 8/54 頁



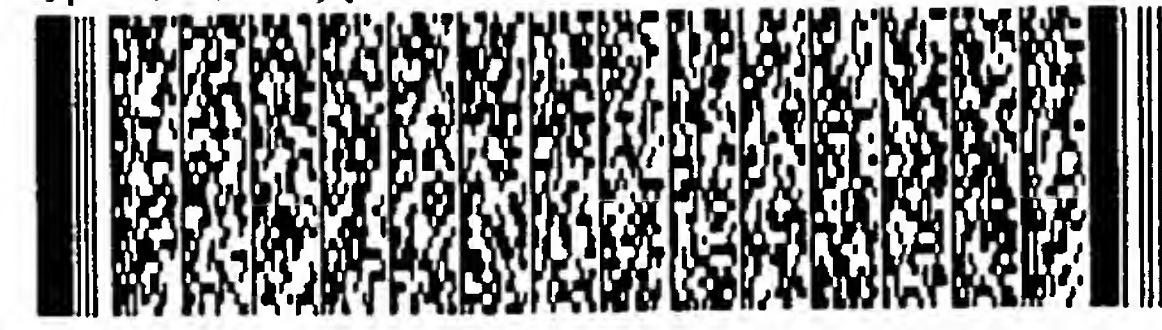
第 8/54 頁



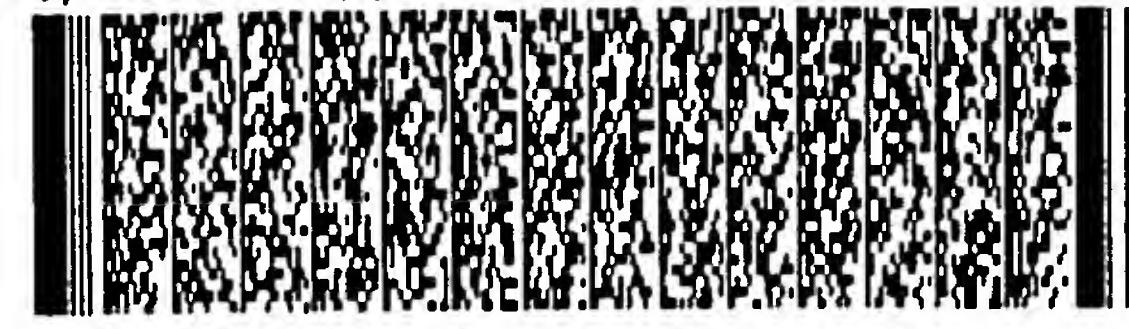
第 9/54 頁



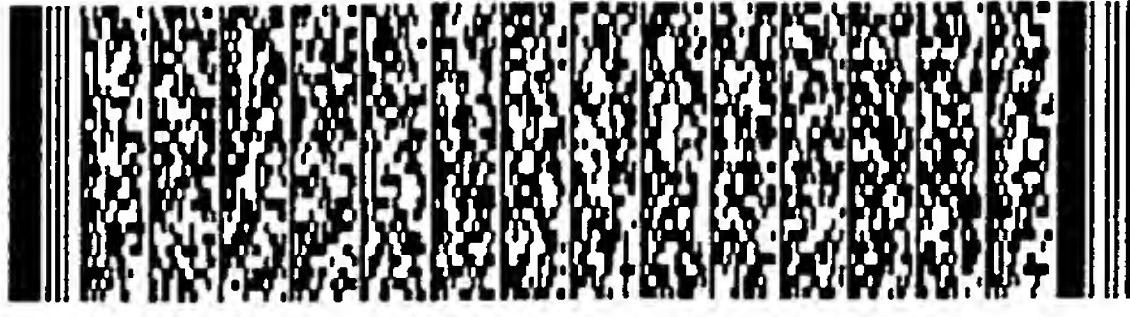
第 9/54 頁



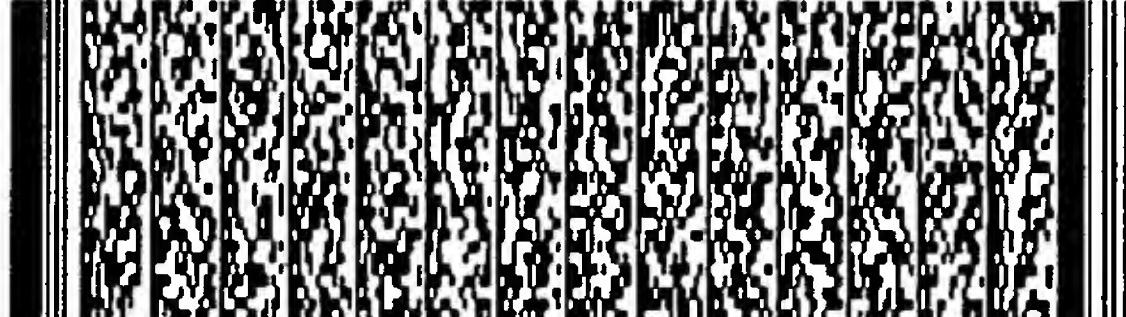
第 10/54 頁



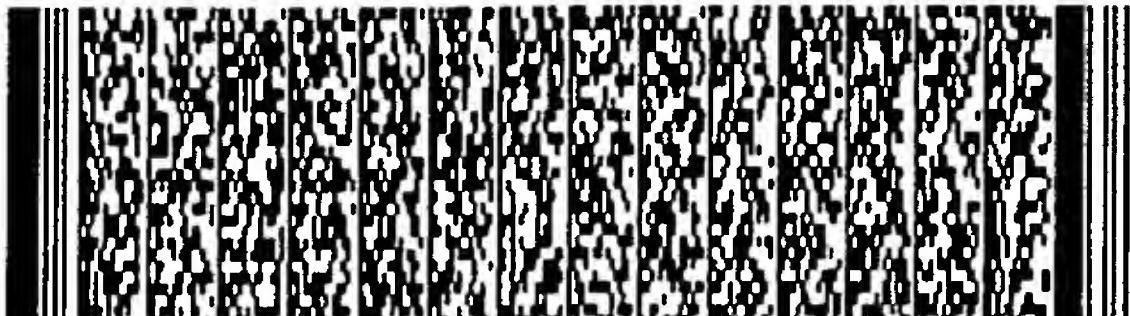
第 10/54 頁



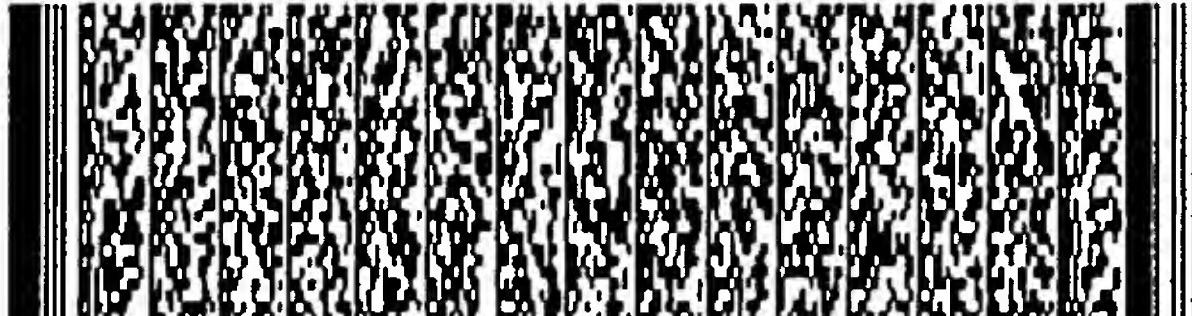
第 11/54 頁



第 11/54 頁



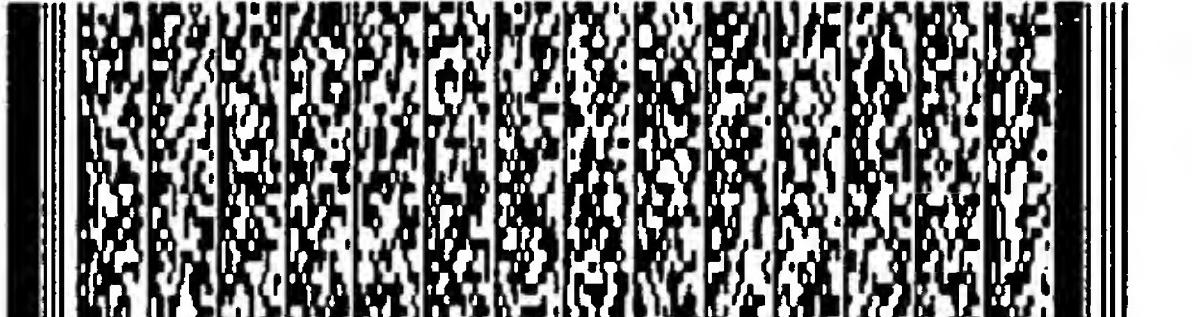
第 12/54 頁



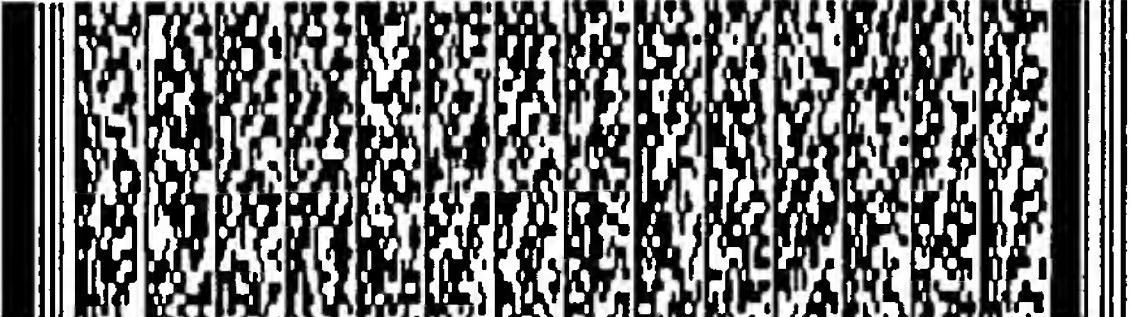
第 12/54 頁



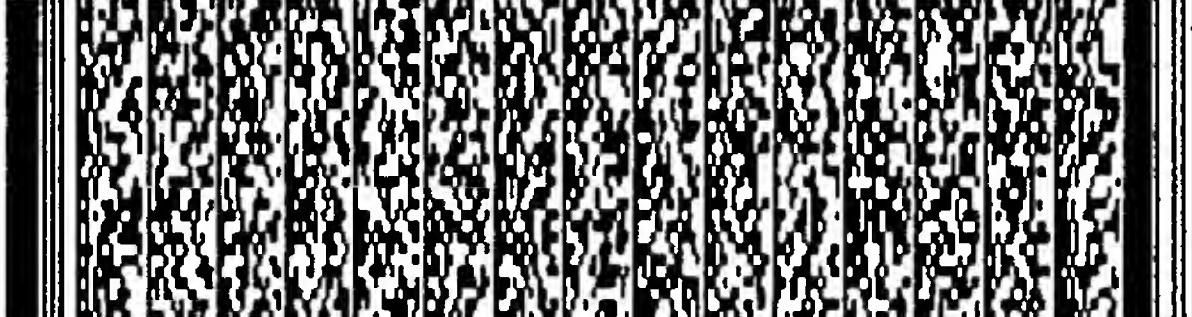
第 13/54 頁



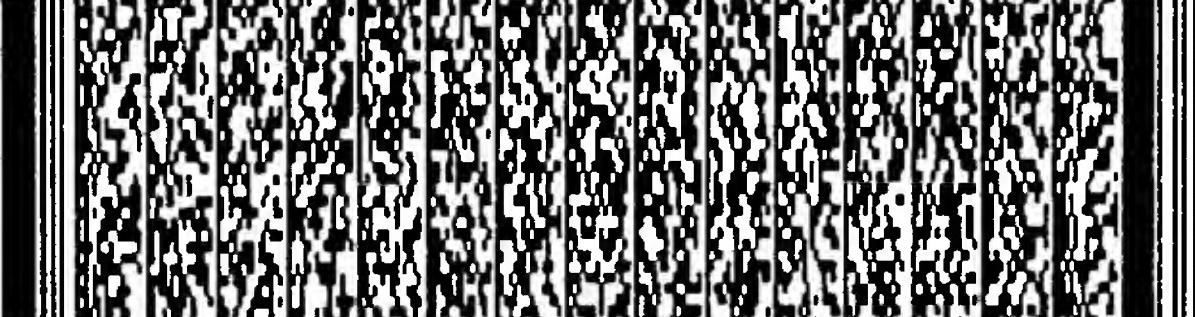
第 13/54 頁



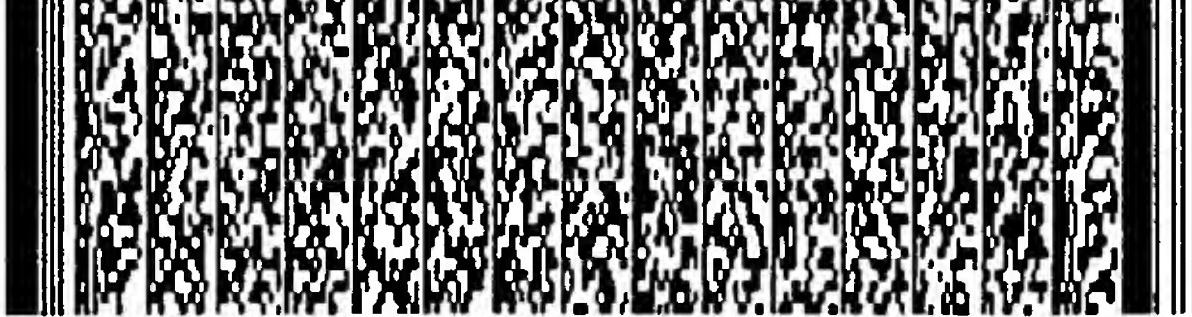
第 14/54 頁



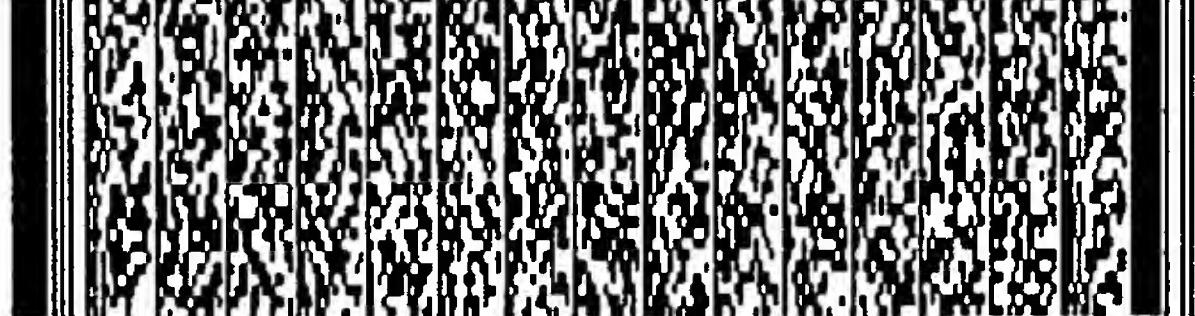
第 14/54 頁



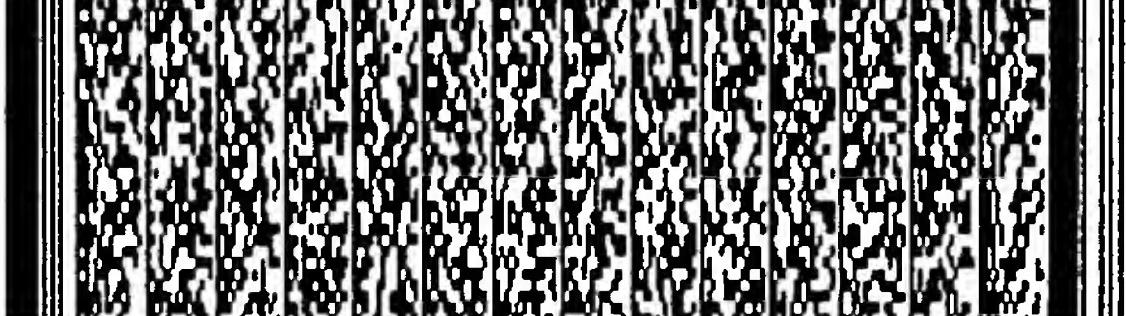
第 15/54 頁



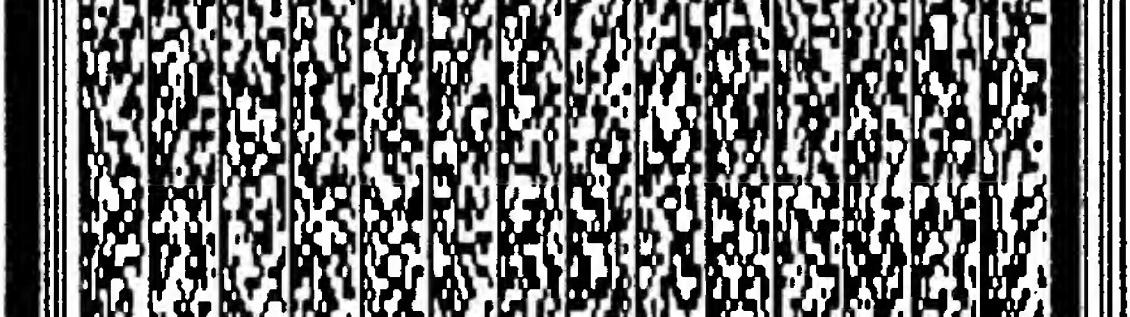
15/54 頁



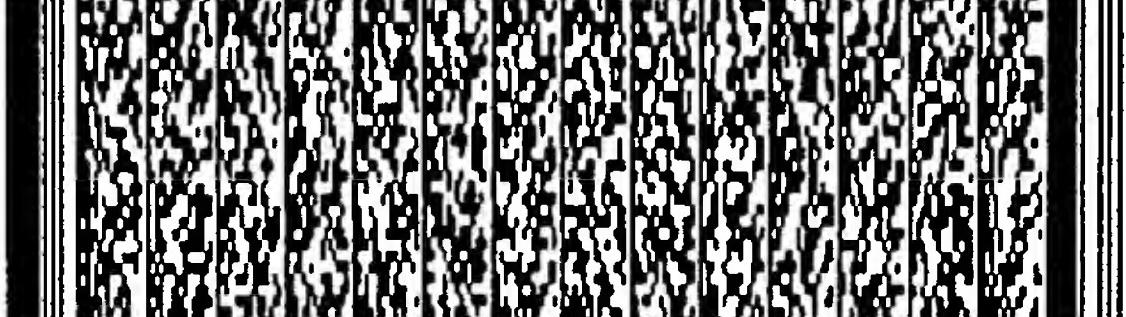
第 16/54 頁



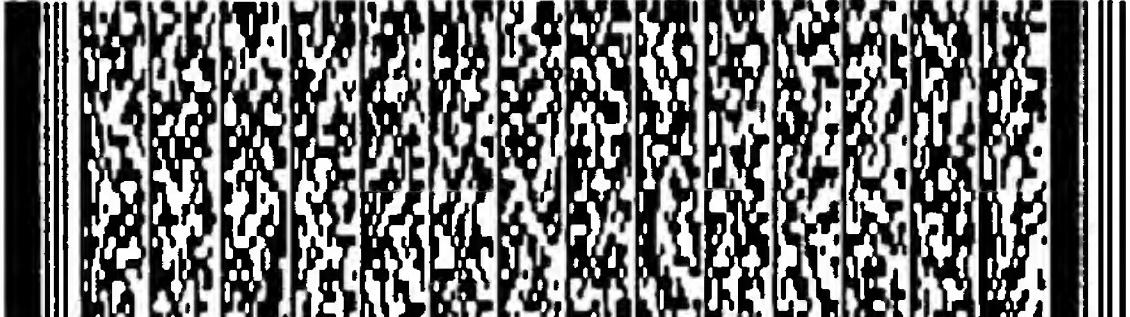
第 16/54 頁



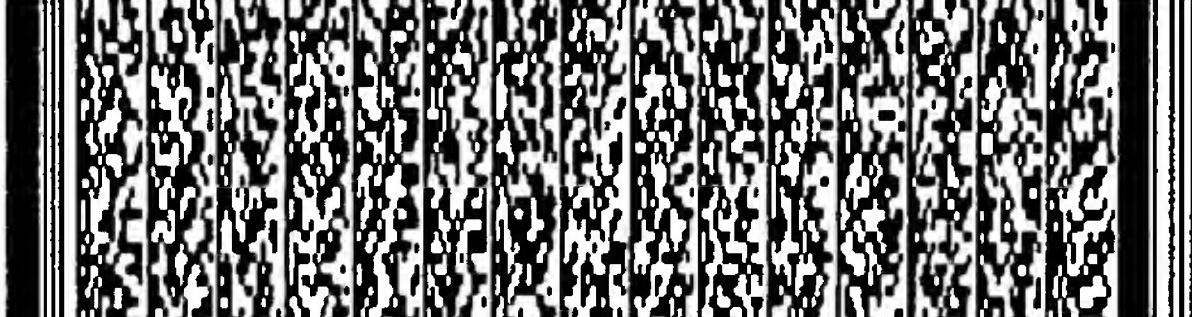
第 17/54 頁



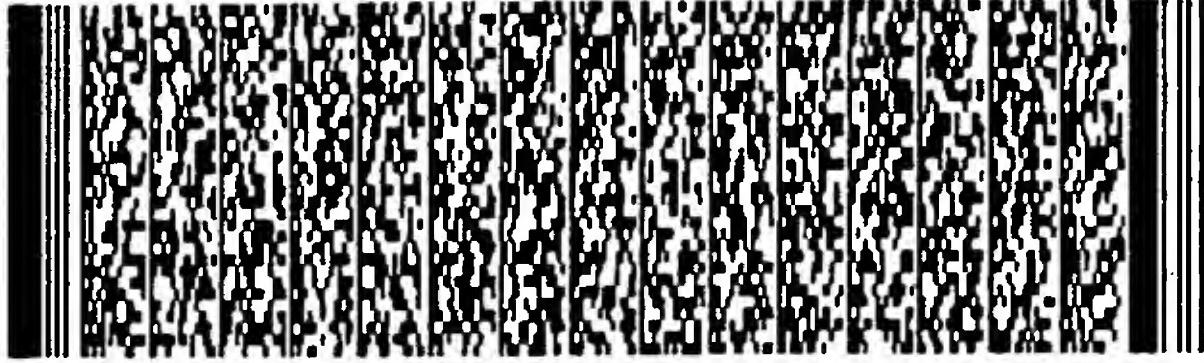
第 17/54 頁



第 18/54 頁



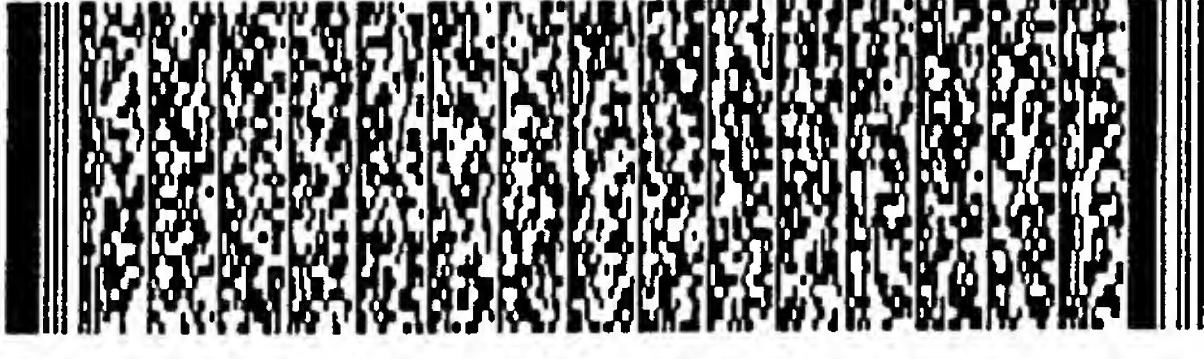
第 18/54 頁



第 19/54 頁



第 19/54 頁



第 20/54 頁



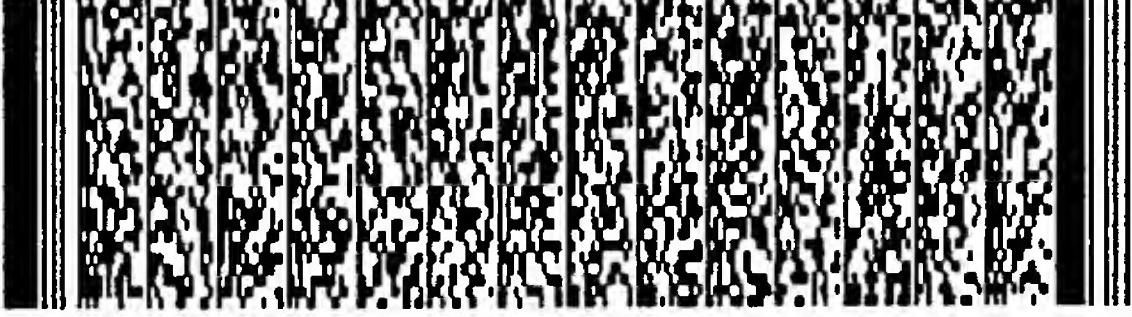
第 20/54 頁



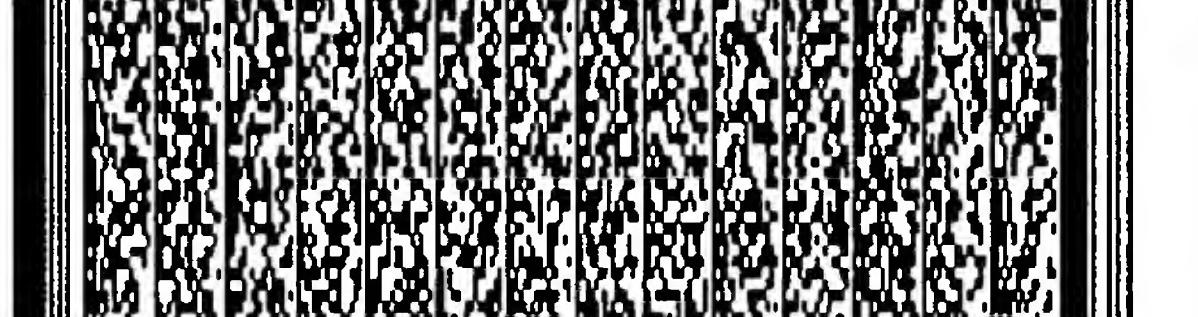
第 21/54 頁



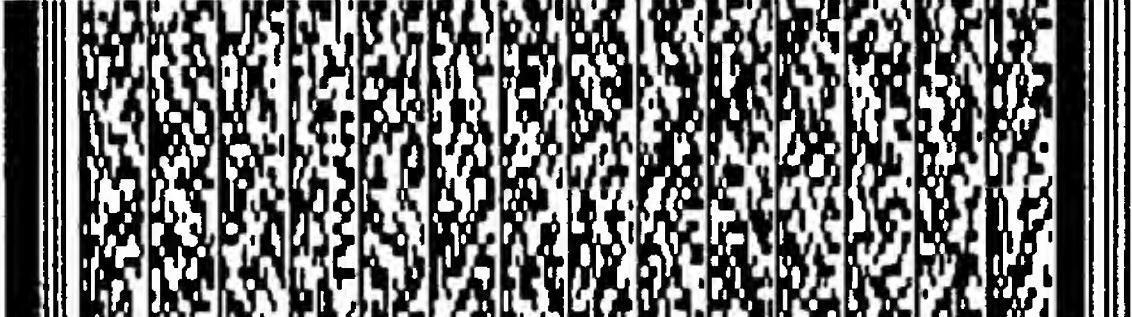
第 21/54 頁



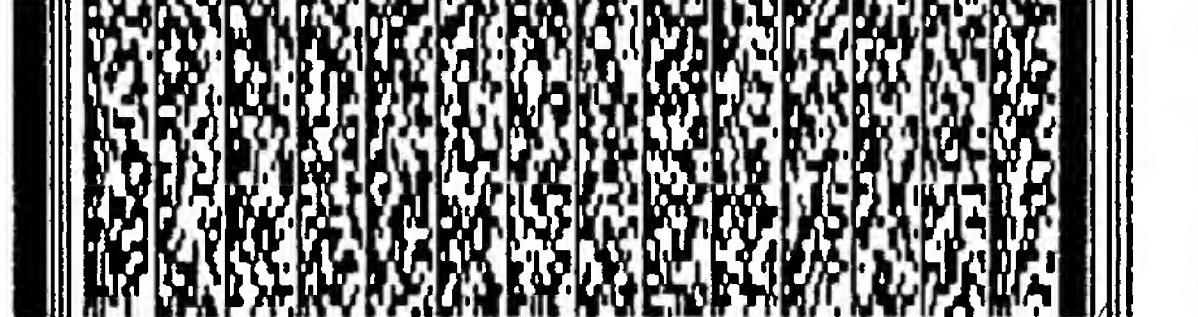
第 22/54 頁



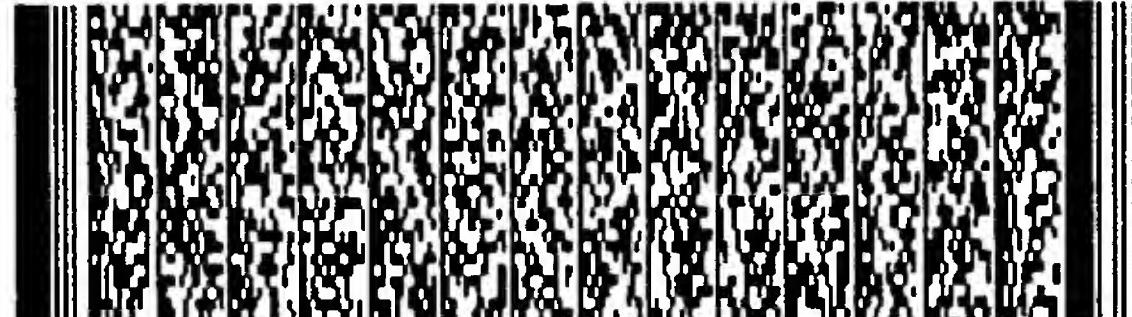
第 22/54 頁



第 23/54 頁



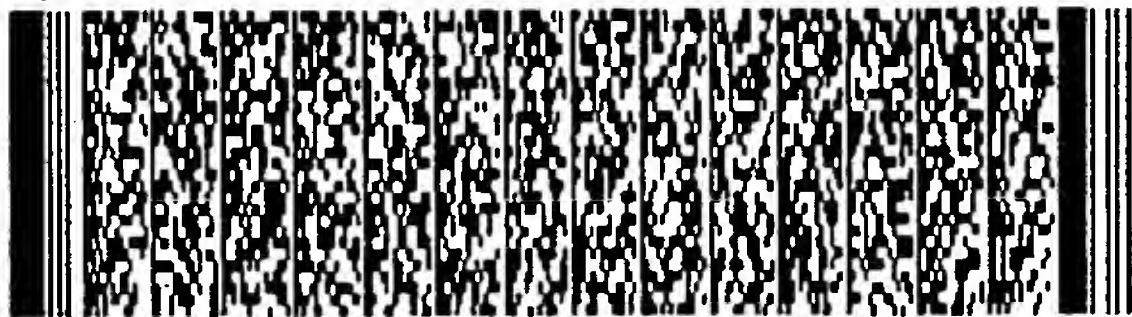
23/54 頁



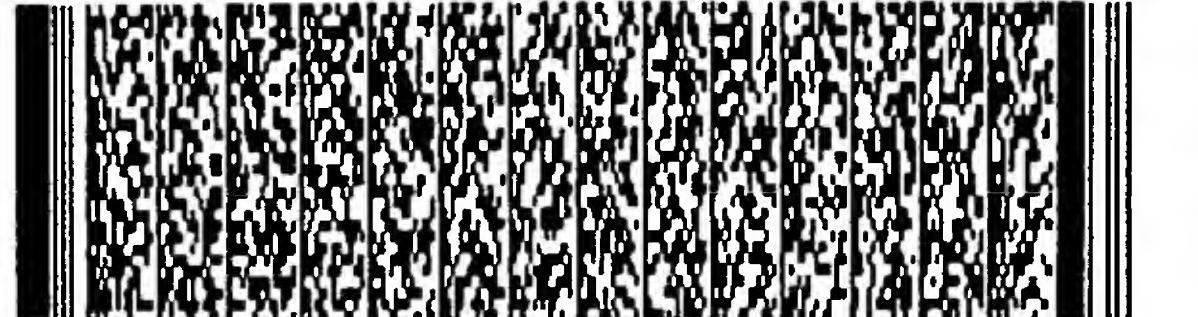
第 24/54 頁



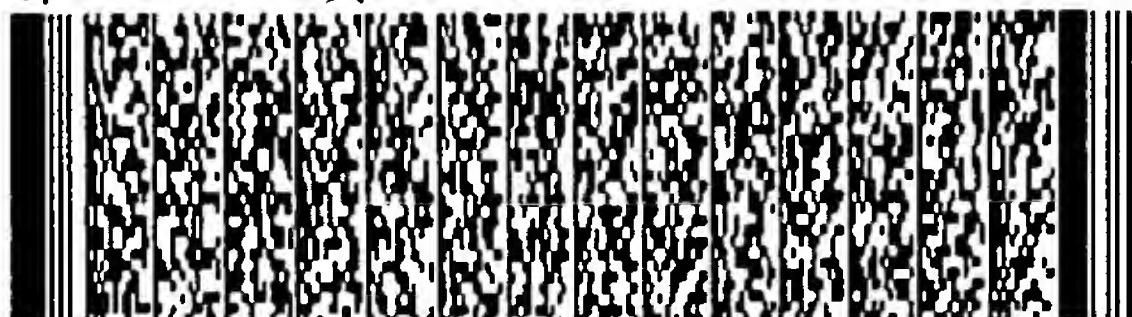
第 24/54 頁



第 25/54 頁



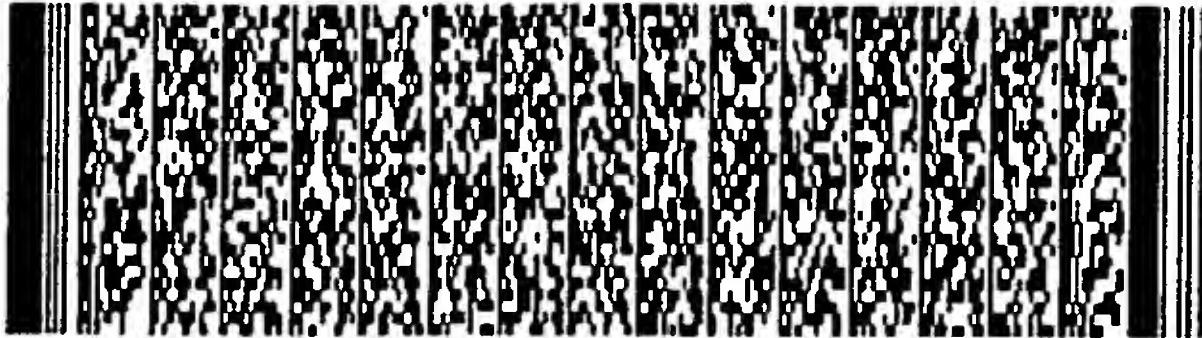
第 25/54 頁



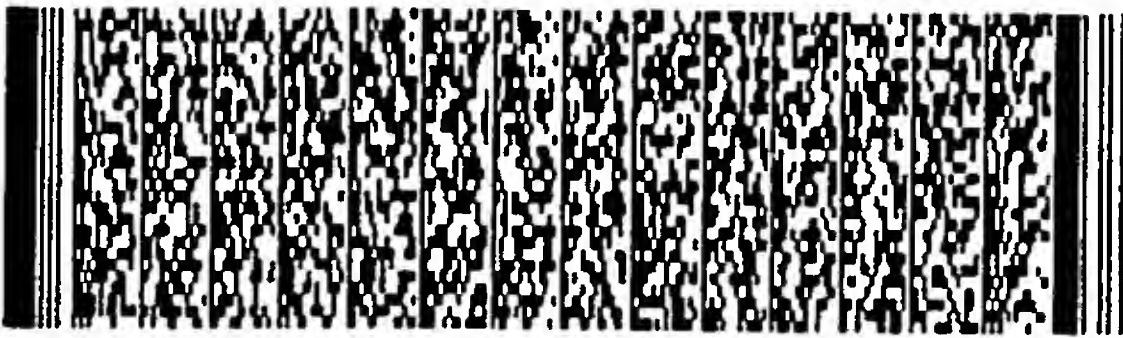
第 26/54 頁



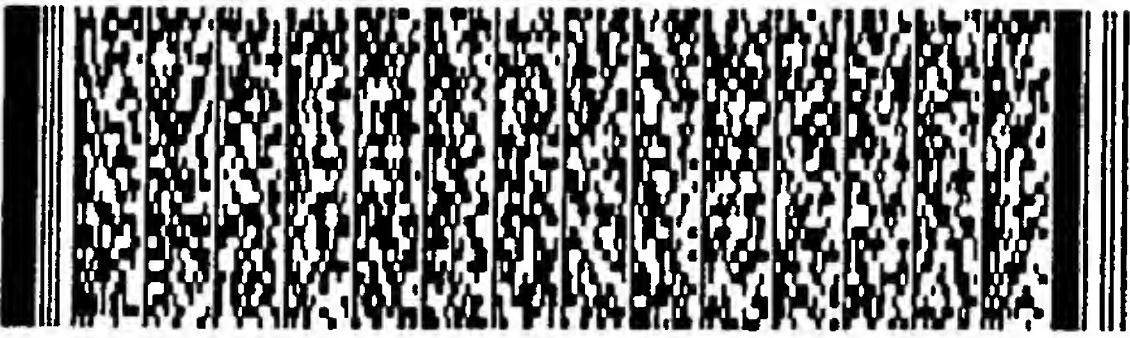
第 26/54 頁



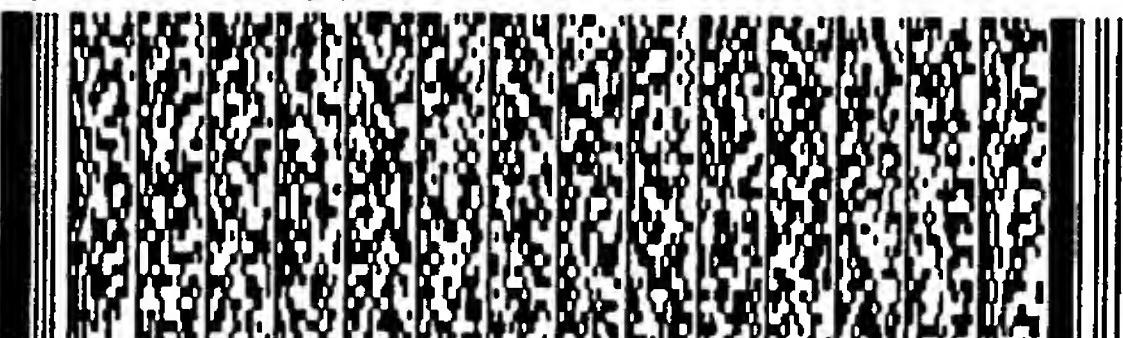
第 27/54 頁



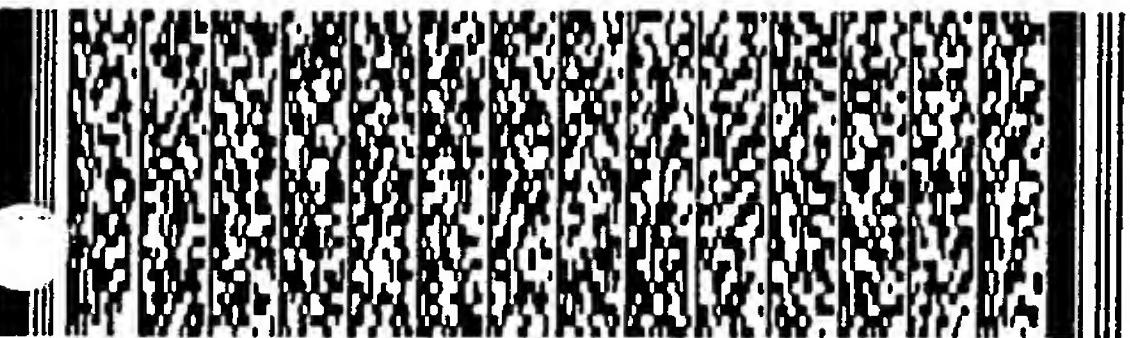
第 27/54 頁



第 28/54 頁



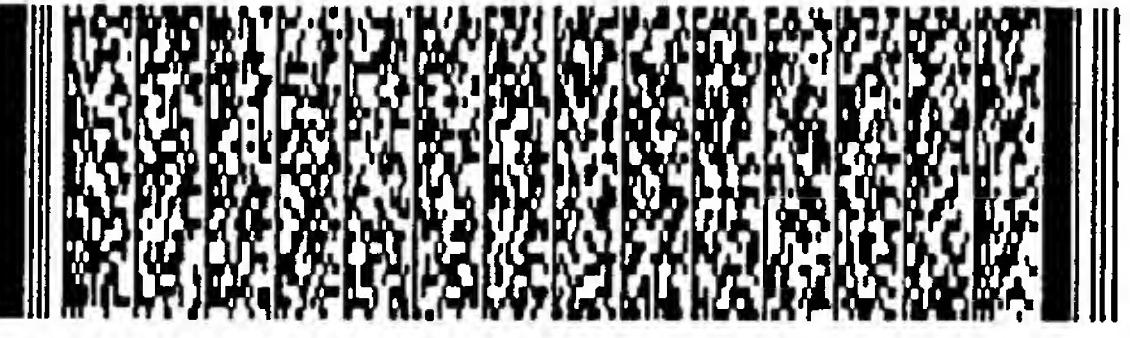
第 28/54 頁



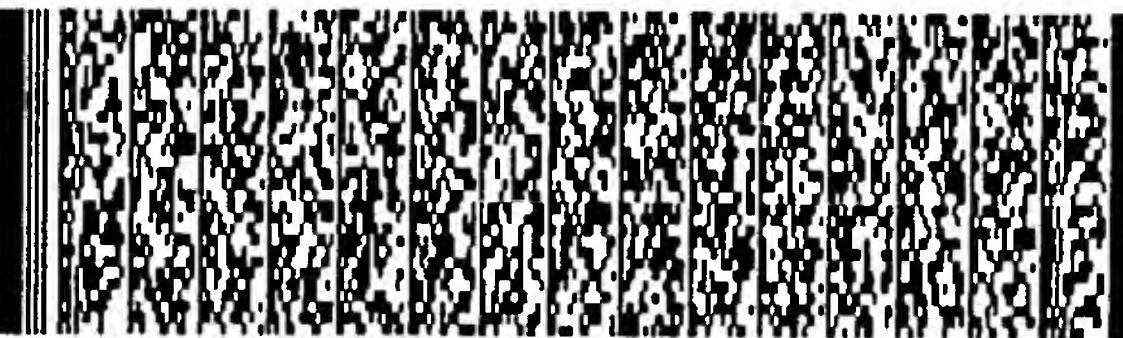
第 29/54 頁



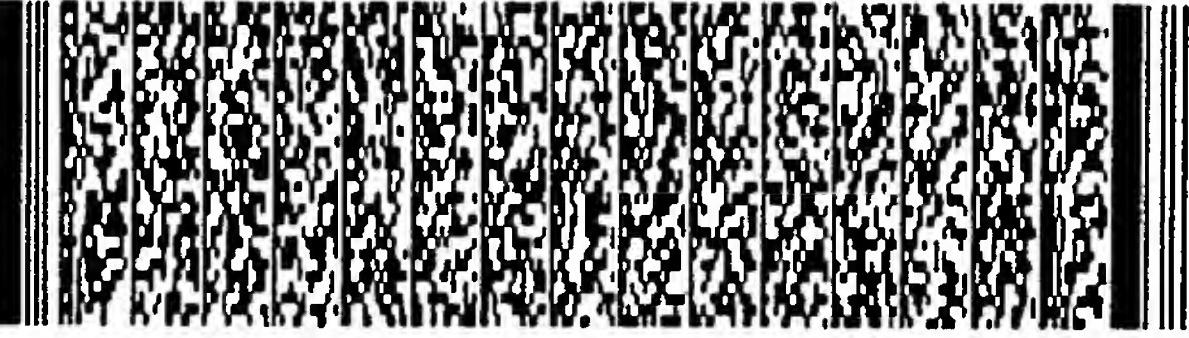
第 29/54 頁



第 30/54 頁



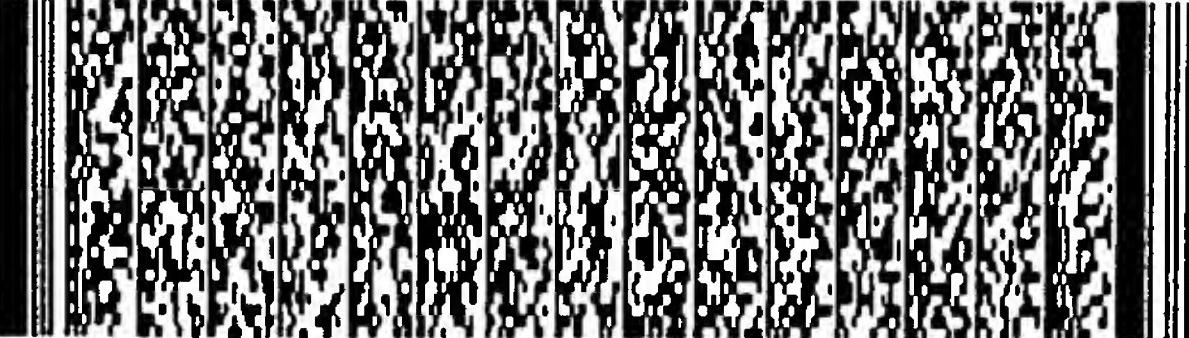
第 30/54 頁



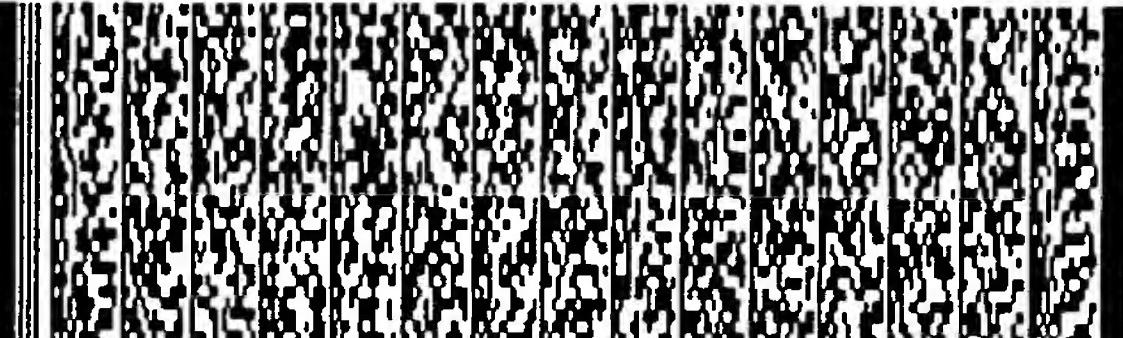
第 31/54 頁



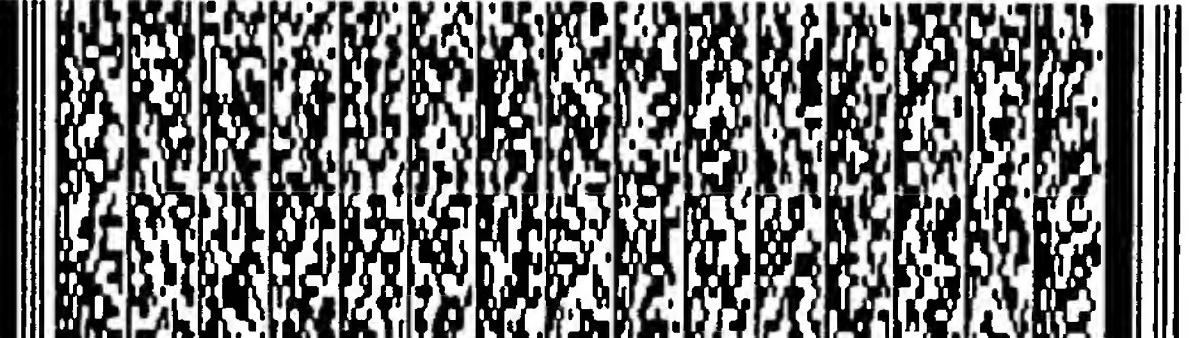
31/54 頁



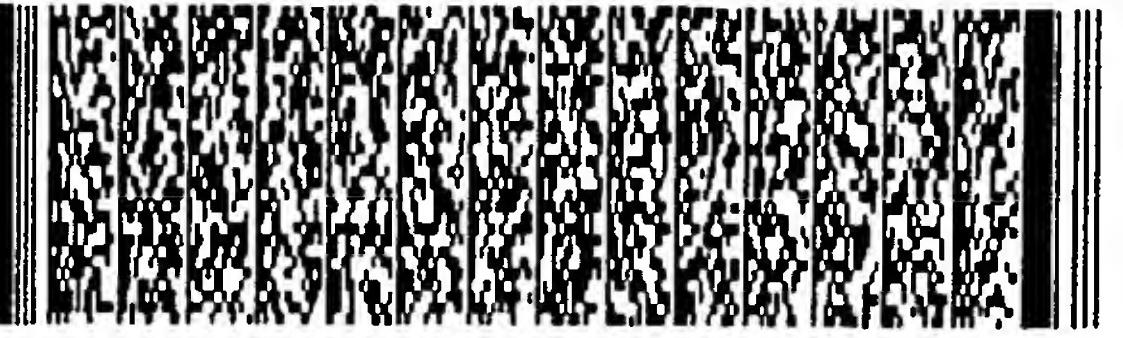
第 32/54 頁



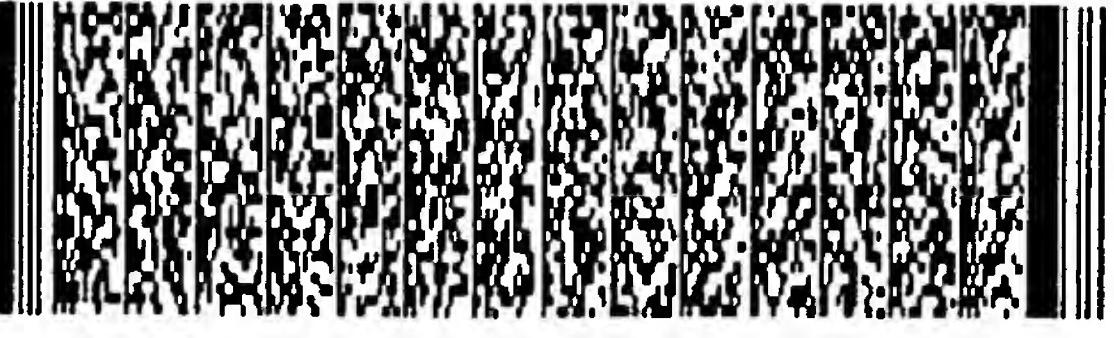
第 32/54 頁



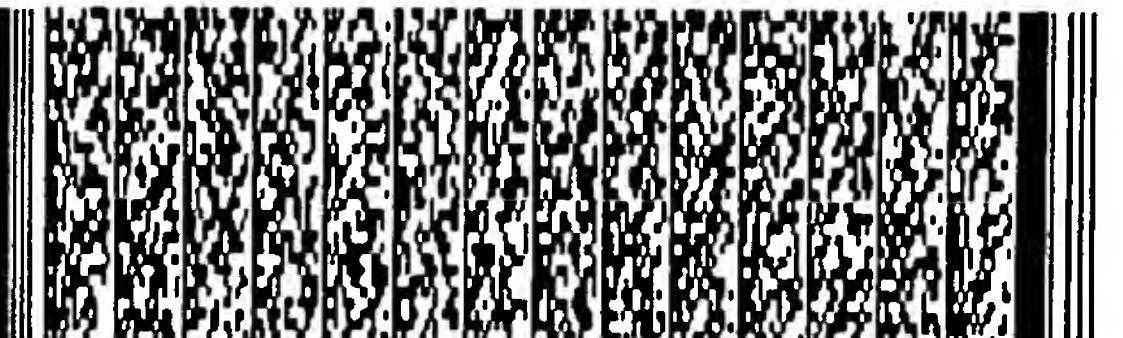
第 33/54 頁



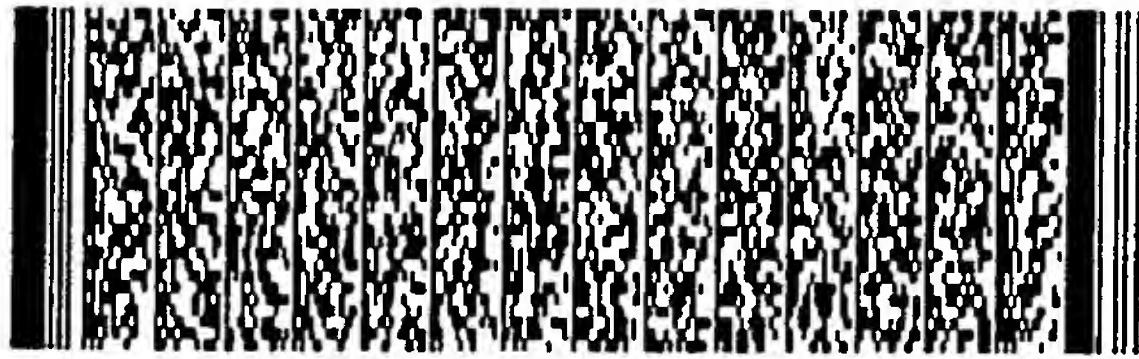
第 33/54 頁



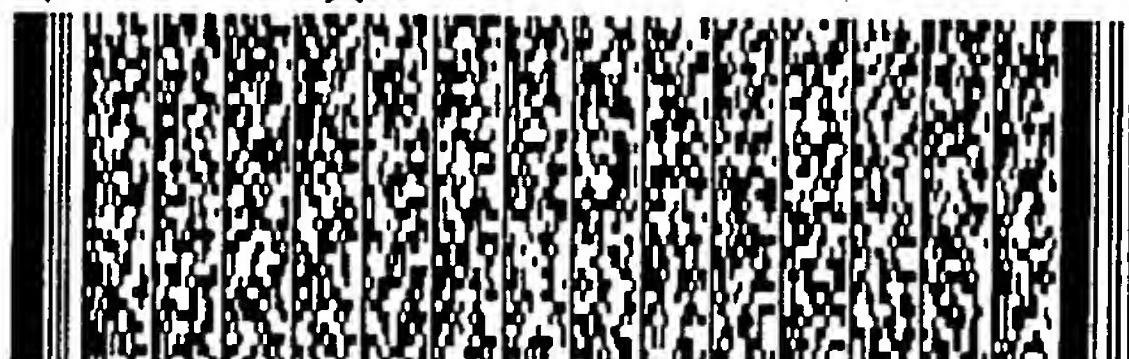
第 34/54 頁



第 34/54 頁



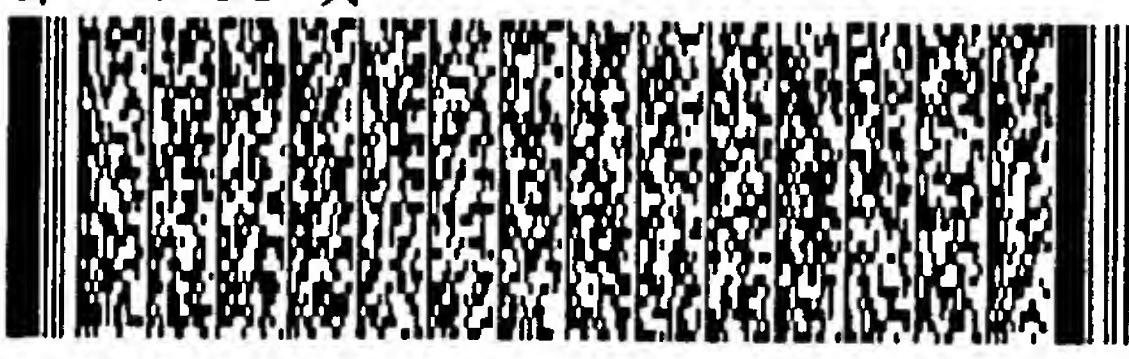
第 35/54 頁



第 35/54 頁



第 36/54 頁



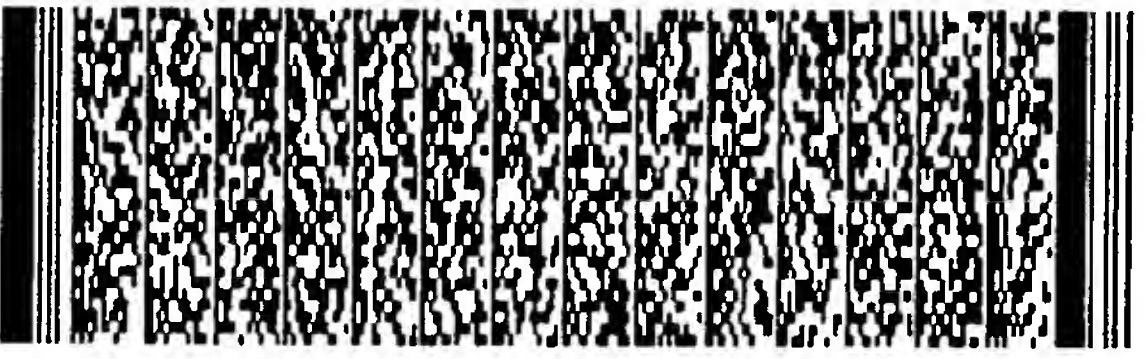
第 36/54 頁



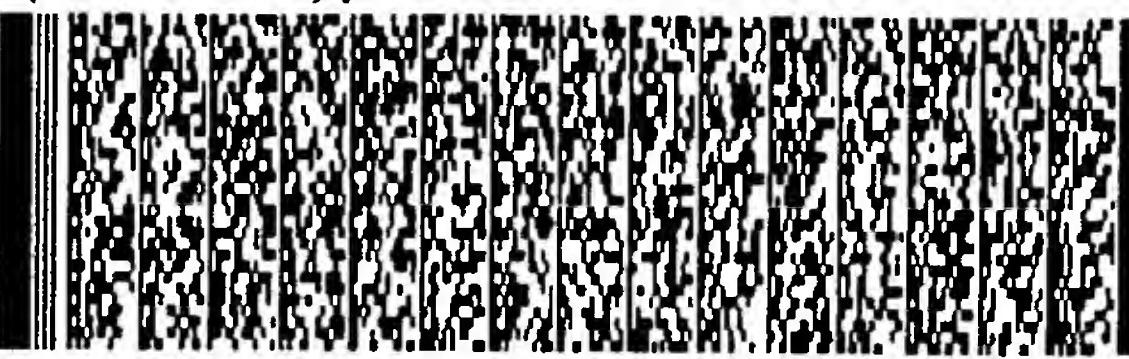
第 37/54 頁



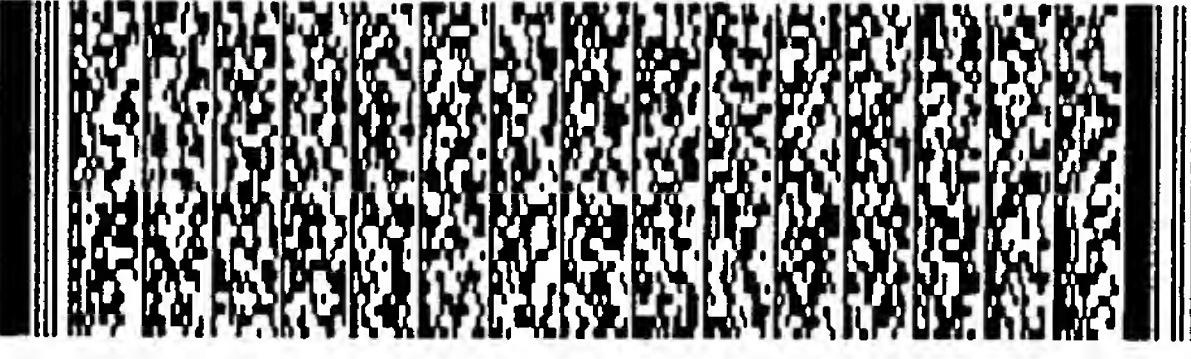
第 37/54 頁



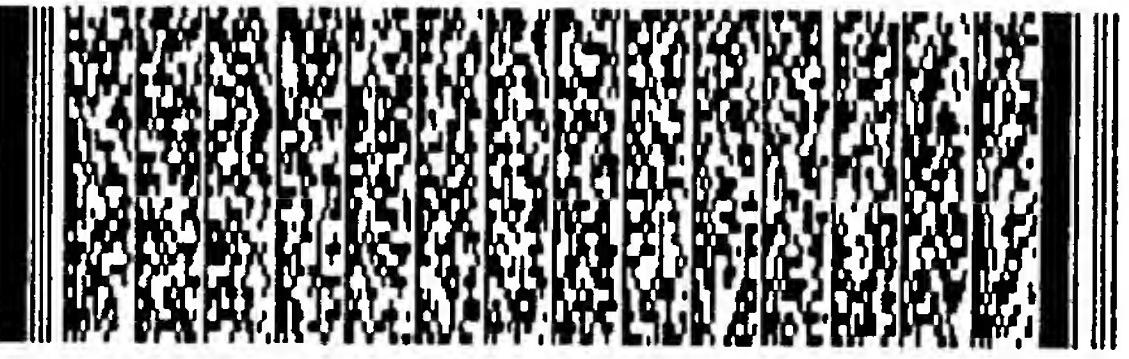
第 38/54 頁



第 38/54 頁



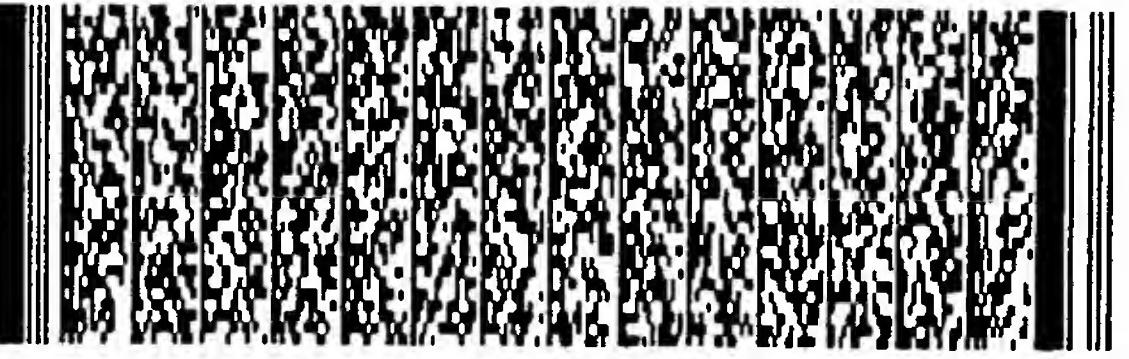
第 39/54 頁



39/54 頁



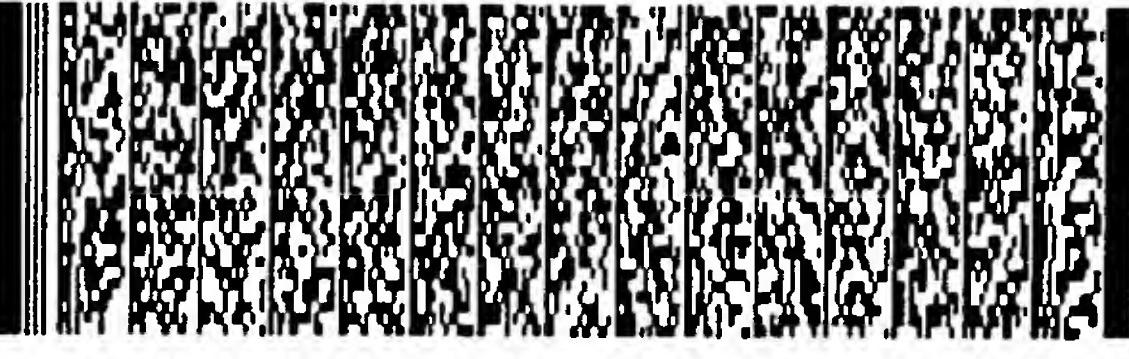
第 40/54 頁



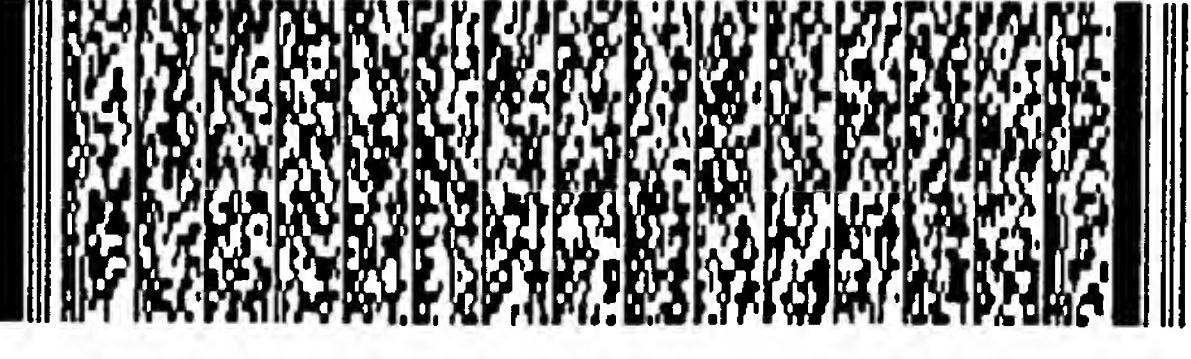
第 40/54 頁



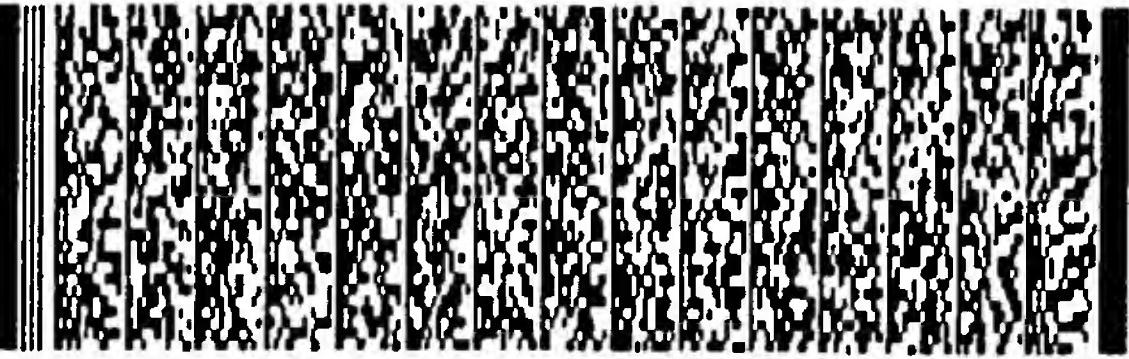
第 41/54 頁



第 41/54 頁

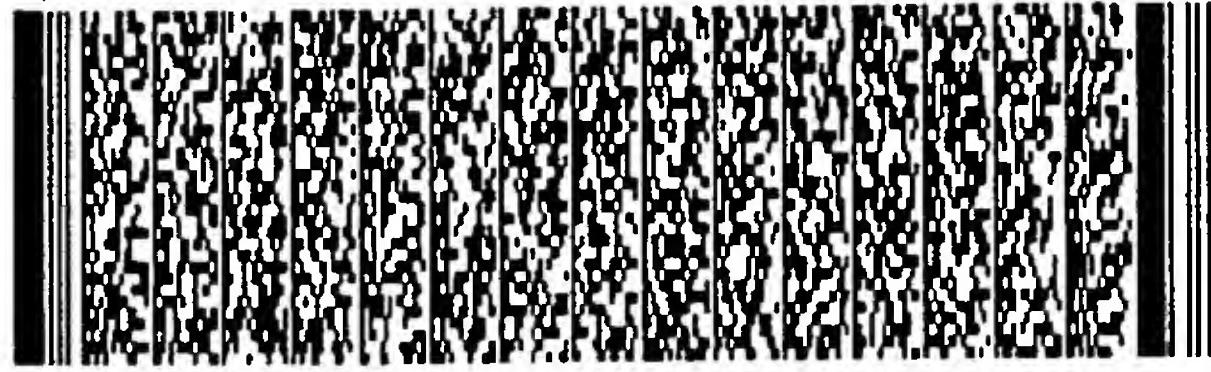


第 42/54 頁



申請案件名稱：以位元模式比對進行之記憶體位址解碼方法及相關裝置

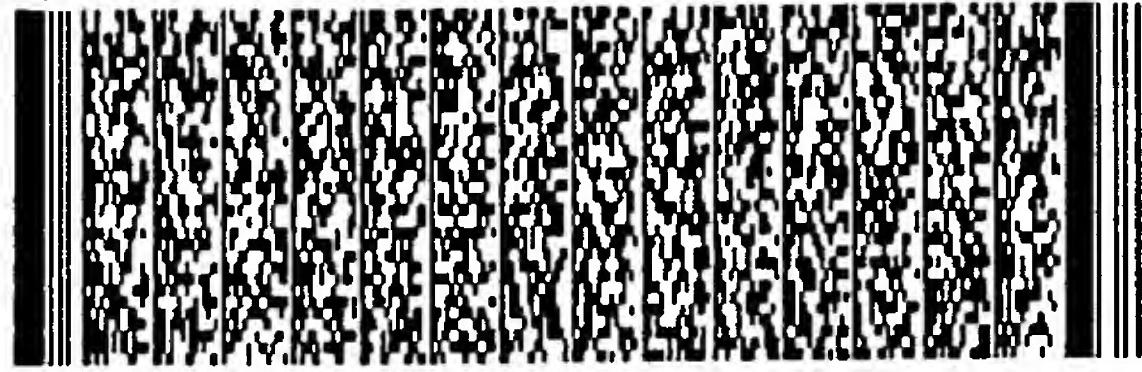
第 42/54 頁



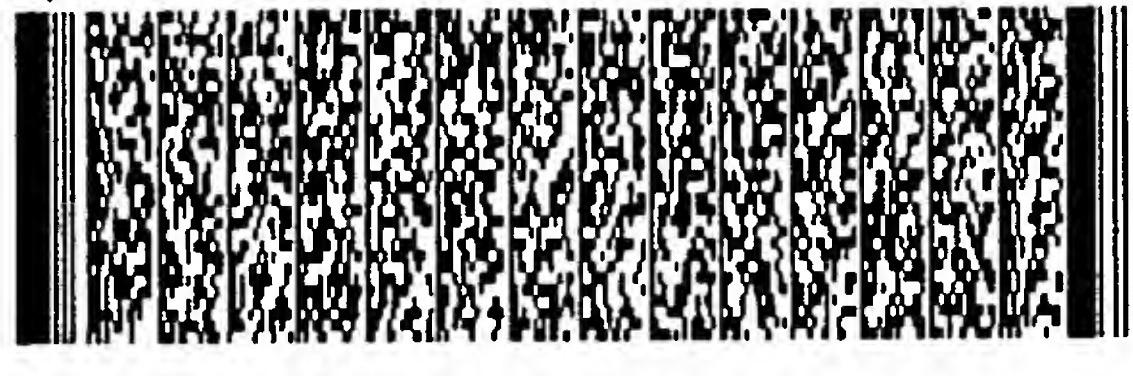
第 43/54 頁



第 43/54 頁



第 44/54 頁



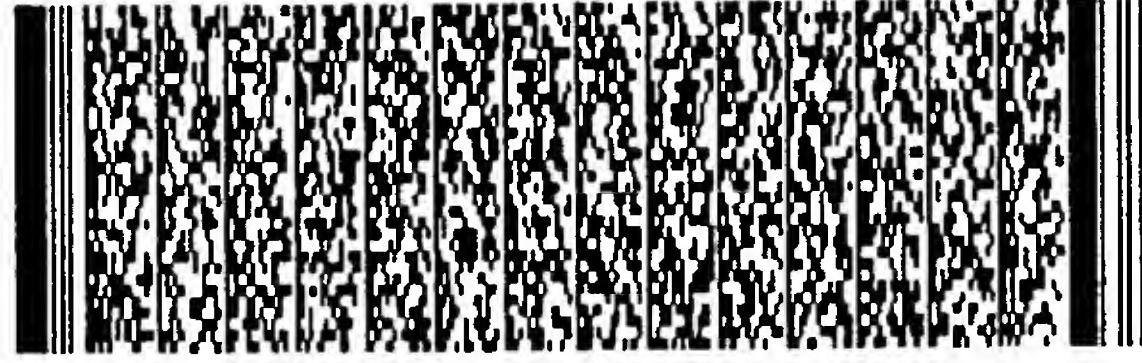
第 44/54 頁



第 45/54 頁



第 45/54 頁



第 46/54 頁



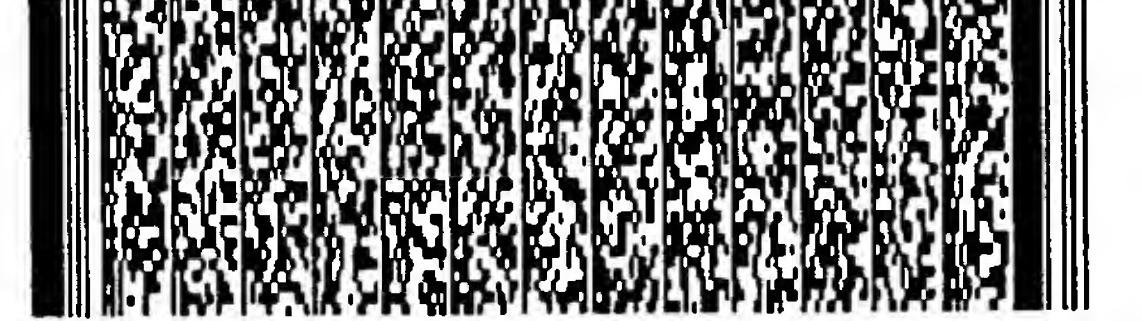
第 46/54 頁



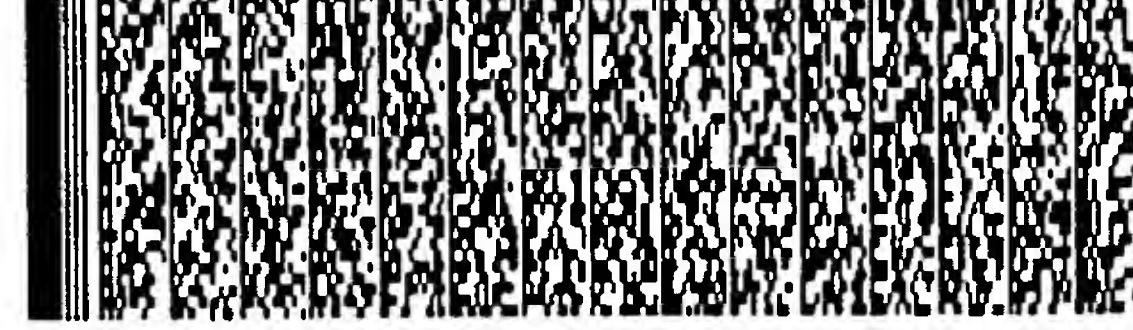
第 47/54 頁



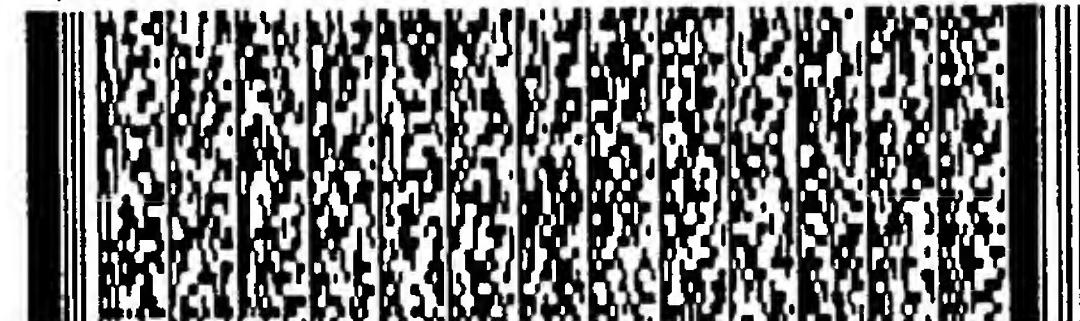
47/54 頁



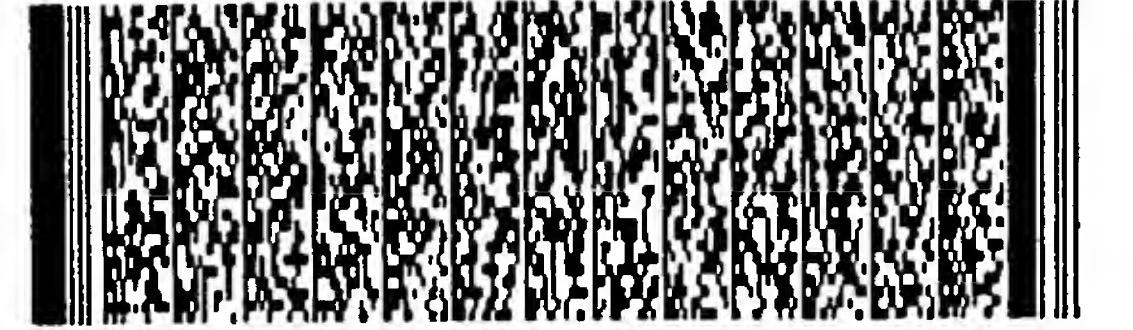
第 48/54 頁



第 49/54 頁



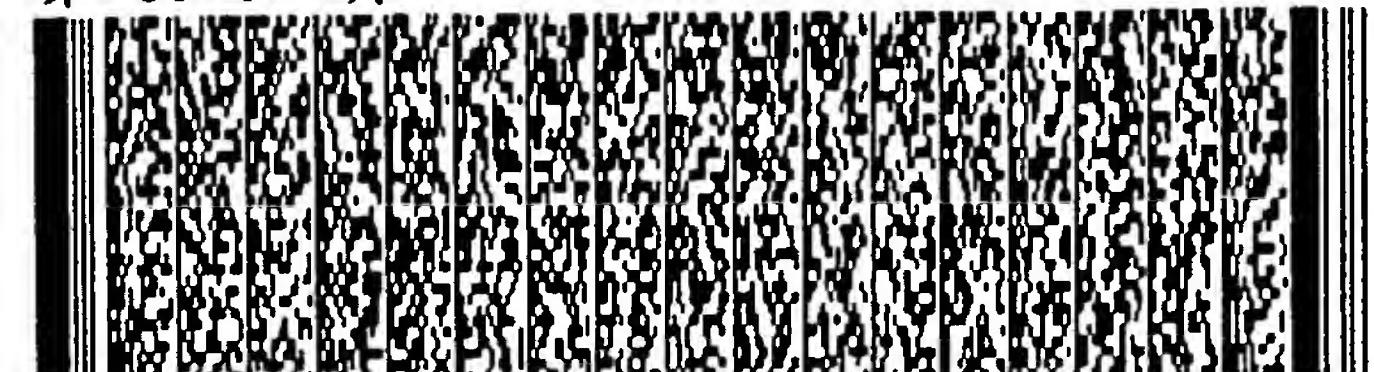
第 49/54 頁



第 50/54 頁

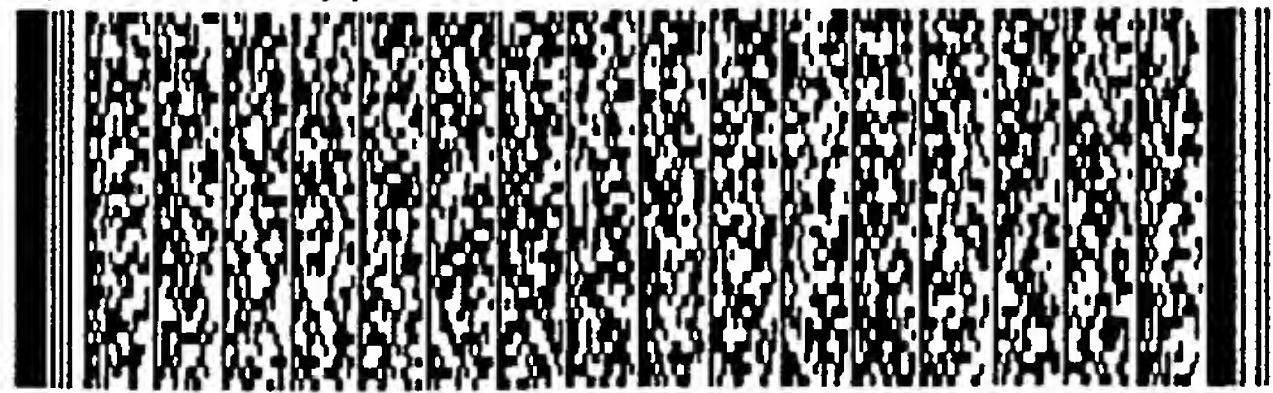


第 51/54 頁

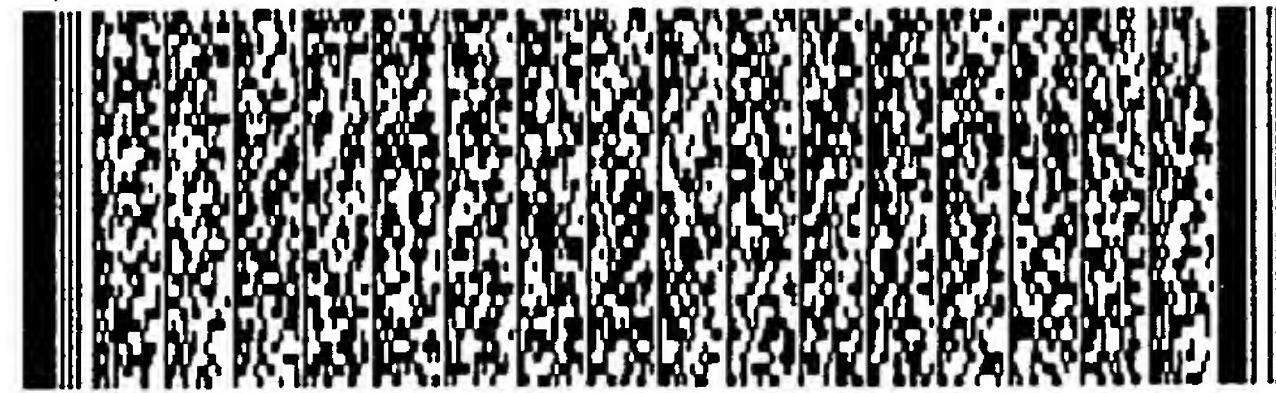


申請案件名稱：以位元模式比對進行之記憶體位址解碼方法及相關裝置

第 52/54 頁



第 53/54 頁



第 54/54 頁

